

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-068502
(43)Date of publication of application : 07.03.2003

(51)Int.Cl. H01C 7/00

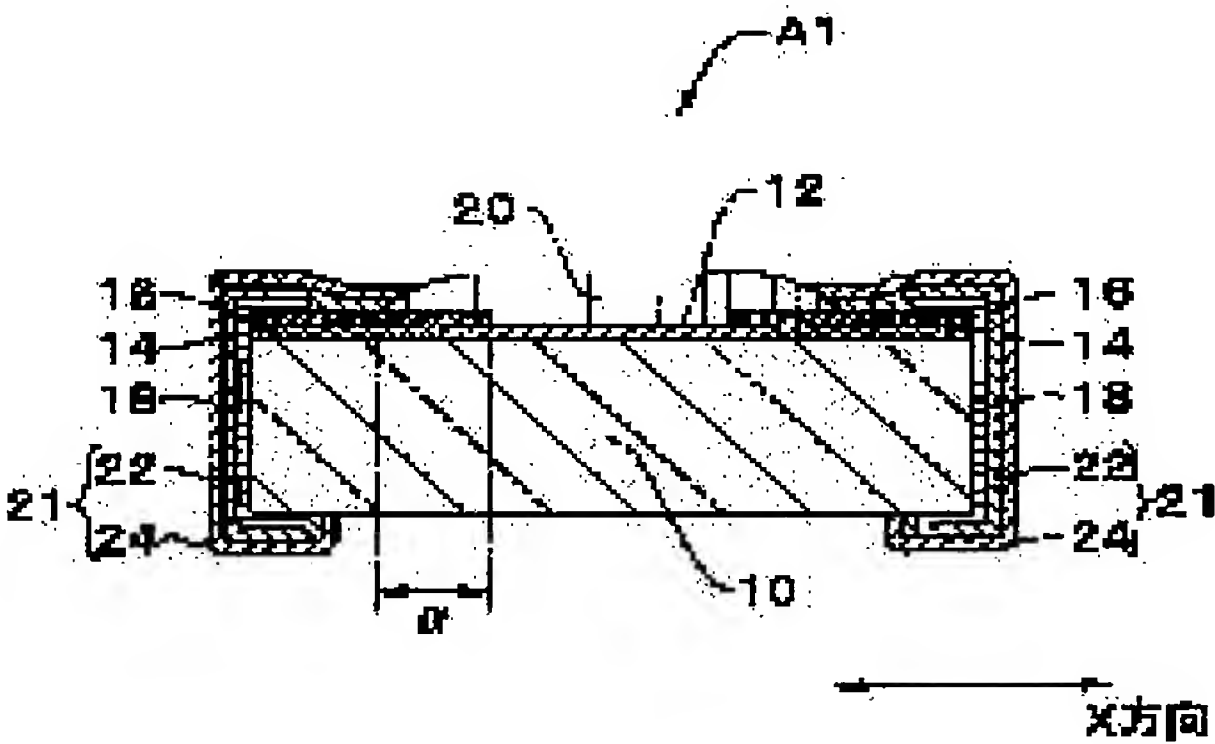
(21)Application number : 2001-251559 (71)Applicant : TAIYOSHA
ELECTRIC CO LTD
(22)Date of filing : 22.08.2001 (72)Inventor : BABA HIROYASU

(54) CHIP RESISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a chip fixed resistor which enables to prevent the wetting of a top face electrode layer with solder at the time of soldering, preventing the lift-off of a protective layer and a nickel plating layer, and which also enables to prevent the decline in weatherproof property caused by solder wetting.

SOLUTION: A second top face electrode layer 16 is formed on the upper surface of a first top face electrode layer 14 at least on the downside of an interface between the plating layer 21 and the protective layer 20. The first top face electrode layer 14 contains 10 to 30% of palladium and is formed of a silver palladium-based thick film at a baking temperature of 800 to 900° C. The second top face electrode layer 16 is formed of a silver-based thick film at a low baking temperature of 500 to 700° C. In an area where the first top face electrode layer 14 and a resistance layer 12 are connected, the first top face electrode 14 is formed



on the top face of the resistance layer 12.

LEGAL STATUS

[Date of request for examination] 27.03.2003

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number] 3665591

[Date of registration] 08.04.2005

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] An insulating substrate, the 1st top-face electrode layer of the pair formed on this insulating substrate, and the resistive layer formed between the 1st top-face electrode layers of this pair, The protective layer formed so that this resistive layer might be covered, and the deposit which touches this protective layer, The chip resistor which is a chip resistor which ***, is the 2nd top-face electrode layer prepared in the top face of this 1st top-face electrode layer by carrying out a laminating, and is characterized by having this deposit and the 2nd top-face electrode layer prepared in the boundary location bottom of a protective layer at least.

[Claim 2] An insulating substrate, the 1st top-face electrode layer of the pair formed on this insulating substrate, and the resistive layer formed between the 1st top-face electrode layers of this pair, By the protective layer formed so that this resistive layer might be covered, the side-face electrode layer which is the side face of this insulating substrate and was formed in the side face by the side of this 1st top-face electrode stratification at least, and the deposit formed so that this side-face electrode layer might be covered at least The chip resistor which is a chip resistor which has the deposit which touches this protective layer, is the 2nd top-face electrode layer prepared in the top face of this 1st top-face electrode layer by carrying out a laminating, and is characterized by having this deposit and the 2nd top-face electrode layer prepared in the boundary location bottom of a protective layer at least.

[Claim 3] The chip resistor according to claim 2 characterized by forming the above-mentioned side-face electrode layer, without performing a baking process.

[Claim 4] The chip resistor according to claim 2 or 3 with which the above-mentioned side-face electrode layer is characterized by being a thin film.

[Claim 5] The chip resistor according to claim 1, 2, 3, or 4 characterized

by the 1st top-face electrode layer carrying out the laminating to the top face of a resistive layer in the connecting location of the above-mentioned 1st top-face electrode layer and a resistive layer.

[Claim 6] A chip resistor given in claim 1 characterized by preparing the above-mentioned 2nd top-face electrode layer in fields other than the field with which a resistive layer and the 1st top-face electrode layer lap in the plane view of a chip resistor, 2, 3, 4, or 5.

[Claim 7] A chip resistor given in claim 1 characterized by having covered all the covering fields that are covering fields whose above-mentioned 2nd top-face electrode layer is a predetermined field in the above-mentioned 1st top-face electrode layer, and are fields other than the field which laps with this resistive layer in the plane view of a chip resistor, 2, 3, 4, 5, or 6.

[Claim 8] The above-mentioned 2nd top-face electrode layer is a chip resistor given in claim 1 characterized by having covered all fields including the location of the boundary location bottom of this deposit in the above-mentioned 1st top-face electrode layer, and a protective layer, 2, 3, 4, 5, 6, or 7.

[Claim 9] A chip resistor given in claim 1 to which the above-mentioned 1st top-face electrode layer is characterized by being a silver palladium system thick film, 2, 3, 4, 5, 6, 7, or 8.

[Claim 10] The chip resistor according to claim 9 characterized by the above-mentioned silver palladium system thick film being a silver palladium system thick film which contains palladium 10 to 30% by the weight ratio.

[Claim 11] A chip resistor given in claim 1 characterized by for the above-mentioned 2nd top-face electrode layer being unable to get wet easily in solder, and forming it with the good material of plating attachment nature, 2, 3, 4, 5, 6, 7, 8, 9, or 10.

[Claim 12] A chip resistor given in claim 1 to which the above-mentioned 2nd top-face electrode layer is characterized by being a silver system thick film, 2, 3, 4, 5, 6, 7, 8, 9, 10, or 11.

[Claim 13] A chip resistor given in claim 1 characterized by the palladium content in the above-mentioned 2nd top-face electrode layer being 1% or less in a weight ratio, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, or 12.

[Claim 14] A chip resistor given in claim 1 characterized by forming the above-mentioned 2nd top-face electrode layer with the material whose burning temperature is 500 degrees C - 700 degrees C, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, or 13.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a chip fixed resistor especially about a chip resistor.

[0002]

[Description of the Prior Art] The conventional chip fixed resistor Z has an insulating substrate 110, the resistor layer 112, the top-face electrode layer 114, the side-face electrode layer 118, the protective layer 120, and the deposit 121, as shown in drawing 8. Here, this deposit 121 has the nickel-plating layer 122 and the solder deposit 124.

[0003]

[Problem(s) to be Solved by the Invention] However, in the conventional chip fixed resistor Z, if a clearance is formed in the boundary part of a deposit 121 and a protective layer 120 at the time of soldering and solder invades from this clearance, the top-face electrode layer 114 will carry out solder ***, when this symptom is accelerated, as shown in drawing 9, the solder which invaded will push up a protective layer 120, and a protective layer 120 will exfoliate. Moreover, exfoliation will occur similarly about the nickel-plating layer 122. When a protective layer 120 and the nickel-plating layer 122 exfoliated, the weatherability of a chip resistor fell remarkably and there was risk of a chip resistor resulting in failure. In addition, in drawing 9, 126 is the fillet formed with solder and 128 shows a land.

[0004] Especially the above-mentioned trouble has been actualized from the following points. That is, if the material of a protective layer 120 is being changed into resin by the reasons of highly-precise-izing of a resistor, the formation of lead loess, energy saving, etc. and does so from glass according to them in recent years, when the adhesion reinforcement of a protective layer 120 falls and the reinforcement of protective layer 120 the very thing falls, a protective layer 120 will become easier to exfoliate.

[0005] Moreover, if this lead free-lancer's solder is used, thereby, the heat stress of an about [each part of protective layer 120 grade] will become strong, and the top-face electrode layer 114 will become easy for the temperature at the time of soldering to become high, and to get wet with solder, although a lead free-lancer's solder is being used in recent years.

[0006] Moreover, although the silver system thick film or the silver palladium system thick film was used for the top-face electrode layer 114 from the former, degradation of the property by diffusion of the silver to the inside of the resistor layer 112 poses a problem by micrifying of a chip size, and it came to use the silver palladium system thick film of about 10 - 30% of palladium content which was [silver diffusion] lifting-hard and carried out it as the cure. Therefore, conversely, silver oxidation will be controlled in the front face of a silver palladium system thick film by the increment in palladium content, consequently solder **** in the top-face electrode layer 114 becomes easy to generate the top-face electrode layer 114.

[0007] Then, this invention can prevent solder **** of a top-face electrode layer at the time of soldering, can prevent exfoliation of a protective layer and a nickel-plating layer, and aims at offering the chip fixed resistor which can avoid the weatherproof fall resulting from solder ****.

[0008]

[Means for Solving the Problem] It is created in order that this invention may solve the above-mentioned trouble. To the 1st An insulating substrate, the 1st top-face electrode layer of the pair formed on this insulating substrate, and the resistive layer formed between the 1st top-face electrode layers of this pair, The protective layer formed so that this resistive layer might be covered, and the deposit which touches this protective layer, It is the chip resistor which ****, and it is the 2nd top-face electrode layer prepared in the top face of this 1st top-face electrode layer by carrying out a laminating, and is characterized by having at least this deposit and the 2nd top-face electrode layer prepared in the boundary location bottom of a protective layer.

[0009] In the chip resistor of this 1st configuration, since the above-mentioned 2nd top-face electrode layer is prepared, a clearance is formed in the boundary location of a protective layer and a deposit at the time of soldering, and even if it is the case where solder permeates from this clearance, it can prevent that the 1st top-face electrode layer gets wet in direct solder. Furthermore, the exfoliation of a protective layer and the exfoliation of a deposit by solder **** of this 1st top-face electrode layer accelerating can be prevented. In addition, it is good about the deposit in this 1st configuration also as "a deposit which is a deposit which touches this protective layer and was prepared in some [

at least] upper parts of this 1st top-face electrode layer."

[0010] Moreover, the 1st top-face electrode layer of the pair prepared on the insulating substrate and this insulating substrate the 2nd, The resistive layer formed between the 1st top-face electrode layers of this pair, and the protective layer formed so that this resistive layer might be covered, At least by the side-face electrode layer formed in the end face by the side of this top-face electrode stratification of this insulating substrate, and the deposit formed so that this side-face electrode layer might be covered at least It is characterized by having the 2nd top-face electrode layer which is the chip resistor which has the deposit which touches this protective layer, is the 2nd top-face electrode layer prepared in the top face of this 1st top-face electrode layer by carrying out a laminating, and was prepared in the boundary location bottom of this deposit and a protective layer at least.

[0011] In the chip resistor of this 2nd configuration, since the above-mentioned 2nd top-face electrode layer is prepared, a clearance is formed in the boundary location of a protective layer and a deposit at the time of soldering, and even if it is the case where solder permeates from this clearance, it can prevent that the 1st top-face electrode layer gets wet in direct solder. Furthermore, the exfoliation of a protective layer and the exfoliation of a deposit by solder **** of this 1st top-face electrode layer accelerating can be prevented.

[0012] Moreover, in the 2nd configuration of the above, the above-mentioned side-face electrode layer is characterized by being formed without performing a baking process the 3rd. Since a side-face electrode layer is not calcinated by this even when forming a side-face electrode layer after the protection stratification in manufacture of a chip resistor, resin can be used for a protective layer. Moreover, after that, when adjusting the resistance of a resistive layer after the 2nd top-face electrode stratification, since neither a protective layer nor a side-face electrode layer is calcinated, a resistance value change can be prevented.

[0013] Moreover, in the 2nd or 3rd configuration of the above, the above-mentioned side-face electrode layer is characterized by being a thin film the 4th. Thereby, the adhesion of the 2nd top-face electrode layer formed with the silver system thick film of low-temperature baking and this side-face electrode layer can be improved.

[0014] Moreover, in one from the above 1st to the 4th of configurations, it is characterized by the 1st top-face electrode layer carrying out the laminating to the top face of a resistive layer the 5th in the connecting location of the above-mentioned 1st top-face electrode layer and a resistive layer. Therefore, when distance from the end face (that is, location in which the 2nd top-face electrode layer is formed) of a

protective layer to the exposure location (end face by the side of the resistive layer of the 1st top-face electrode layer) of a resistive layer can be lengthened and the 2nd top-face electrode layer is formed by piling up the 1st top-face electrode layer on a resistive layer, this 2nd top-face electrode layer can be prevented from contacting a resistive layer. Moreover, long resistive layer effective length can be taken, securing the effective length of a required top-face electrode layer, and the overlap length of a top-face electrode layer and a resistive layer.

[0015] Moreover, in one from the above 1st to the 5th of configurations, the above-mentioned 2nd top-face electrode layer is characterized by being prepared in fields other than the field with which a resistive layer and the 1st top-face electrode layer lap in the plane view of a chip resistor the 6th. The 2nd top-face electrode layer can be prevented from contacting a resistive layer by this.

[0016] Moreover, in one from the above 1st to the 6th of configurations, the above-mentioned 2nd top-face electrode layer is the covering field which is a predetermined field in the above-mentioned 1st top-face electrode layer, and is characterized by having covered all the covering fields that are fields other than the field which laps with this resistive layer in the plane view of a chip resistor the 7th. Thereby, while making it the 2nd top-face electrode layer not contact a resistive layer, solder **** of the 1st top-face electrode layer can be prevented enough.

[0017] Moreover, in one from the above 1st to the 7th of configurations, the above-mentioned 2nd top-face electrode layer is characterized by having covered all fields including the location of the boundary location bottom of this deposit in the above-mentioned 1st top-face electrode layer, and a protective layer the 8th. Therefore, solder **** of the 1st top-face electrode layer can be prevented enough.

[0018] Moreover, in one from the above 1st to the 8th of configurations, the above-mentioned 1st top-face electrode layer is characterized by being a silver palladium system thick film the 9th. Moreover, in the 9th configuration of the above, the above-mentioned silver palladium system thick film is characterized by being the silver palladium system thick film which contains palladium 10 to 30% by the weight ratio the 10th.

Therefore, according to these 9th and 10th configurations, diffusion of the silver to a resistive layer can be suppressed and expansion of the change in resistance and the change in resistance by temperature by silver being spread and degradation of electrical characteristics, such as the overload characteristic, can be suppressed.

[0019] Moreover, in one from the above 1st to the 10th of configurations, the above-mentioned 2nd top-face electrode layer cannot get wet easily in solder, and it is characterized by being formed with the good material of plating attachment nature the 11th. Therefore, since the 2nd top-face

electrode layer is formed with the material which cannot be easily damp in solder, a clearance is formed in the boundary location of a protective layer and a deposit at the time of soldering, and even if it is the case where solder permeates from this clearance, it can prevent that the 1st top-face electrode layer gets wet in direct solder. Furthermore, the exfoliation of a protective layer and the exfoliation of a deposit by solder **** of this 1st top-face electrode layer accelerating can be prevented. Moreover, since the 2nd top-face electrode layer is formed with the good material of plating attachment nature, it becomes possible [making adhesion with a deposit high].

[0020] Moreover, in one from the above 1st to the 11th of configurations, the above-mentioned 2nd top-face electrode layer is characterized by being a silver system thick film the 12th. Therefore, plating attachment nature can be made high, and since it is not the thick film of a silver palladium system, it is hard to get wet in solder, and exfoliation of a protective layer etc. can be prevented.

[0021] Moreover, in one from the above 1st to the 12th of configurations, it is characterized by the palladium content in the above-mentioned 2nd top-face electrode layer being 1% or less in a weight ratio the 13th. Therefore, since the 2nd top-face electrode layer has few palladium contents, it cannot get wet easily in solder and can prevent exfoliation of a protective layer etc.

[0022] Moreover, in one from the above 1st to the 13th of configurations, the above-mentioned 2nd top-face electrode layer is characterized by being formed with the material whose burning temperature is 500 degrees C - 700 degrees C the 14th. Since this 2nd top-face electrode layer is low-temperature baking, it will contain a glass component, cannot get wet easily in solder, and can prevent exfoliation of a protective layer etc.

[0023]

[Embodiment of the Invention] The 1st example as a gestalt of operation of this invention is explained using a drawing. The chip fixed resistor (chip resistor) A1 of this example has an insulating substrate 10, the resistor layer (resistive layer) 12, the 1st top-face electrode layer 14, the 2nd top-face electrode layer 16, the side-face electrode layer 18, the protective layer 20, and the deposit 21, as shown in drawing 1. A deposit 21 consists of a nickel-plating layer 22 and a solder deposit 24.

[0024] Here, when it explains in more detail about the above-mentioned chip fixed resistor A1, the above-mentioned insulating substrate 10 is the insulator formed with the alumina of about 96% of content. This insulating substrate 10 is presenting the rectangular parallelepiped configuration, and if plane view is carried out, it is presenting the abbreviation rectangle configuration. This insulating substrate 10 is used

as a basic member of the above-mentioned chip fixed resistor A1.

[0025] The above-mentioned resistor layer 12 is arranged near the center section of the insulating-substrate 10 above-mentioned top face, as shown in drawing 1. This resistor layer 12 is a ruthenium oxide system thick film. This resistor layer 12 is a functional device which bears electrical characteristics as the above-mentioned chip fixed resistor A1.

[0026] As shown in drawing 1, pair formation of the above-mentioned 1st top-face electrode layer 14 is carried out so that it may connect with the both ends of the longitudinal direction of the above-mentioned resistor layer 12. That is, this 1st top-face electrode layer 14 and the resistor layer 12 are arranged so that this a part of 1st top-face electrode layer 14 may **** on some the top face of this resistor layer 12. That is, in the connecting location of the 1st top-face electrode layer 14 and the resistor layer 12, the 1st top-face electrode layer 14 is carrying out the laminating to the top face of the resistor layer 12. That is, in the overlap part which the 1st top-face electrode layer 14 and the resistor layer 12 overlap, the 1st top-face electrode layer 14 is carrying out the laminating to the top face of the resistor layer 12. This 1st top-face electrode layer 14 carries out content of the palladium 10 to 30% (weight ratio), and is formed with the silver palladium system thick film with a burning temperature of 800-900 degrees C.

[0027] Moreover, as shown in drawing 1, the above-mentioned 2nd top-face electrode layer 16 is the top face of the above-mentioned 1st top-face electrode layer 14, and is arranged in the location which does not contact in the above-mentioned resistor layer 12. This 2nd top-face electrode layer 16 that is, in the longitudinal direction of X, i.e., direction, (refer to drawing 1 and drawing 2) of an insulating substrate 10 It is prepared even before the edge by the side of the resistor layer 12 from the edge by the side of the side-face electrode layer 18 of the 1st top-face electrode layer 14, and is formed in the direction of a short hand of Y, i.e., direction, (refer to drawing 2) of an insulating substrate 10 in the condition of covering the whole 1st top-face electrode layer 14, and overflowing this 1st top-face electrode layer 14.

[0028] In addition, this 2nd top-face electrode layer 16 is formed so that the 2nd top-face electrode layer 16 may be located in the boundary location bottom of a deposit 21 and a protective layer 12. That is, at least, it is the boundary location bottom of a deposit 21 and a protective layer 12, and this 2nd top-face electrode layer 16 is formed in the top location of the 1st top-face electrode layer 14. On the 2nd top-face electrode layer 16, the laminating especially of both the parts of the predetermined range of a deposit 21 and the deposit 21 which touches the boundary location of a protective layer 20 and parts of the predetermined range of the protective layer 20 which touches this

boundary location was carried out, and they have touched.

[0029] Moreover, the above-mentioned 2nd top-face electrode layer 16 sets to the plane view of a chip resistor A1. Are prepared in fields other than the field with which a resistive layer 12 and the 1st top-face electrode layer 14 lap, and especially, are the covering field whose above-mentioned 2nd top-face electrode layer 16 is a predetermined field in the above-mentioned 1st top-face electrode layer 14, and it sets to the plane view of a chip resistor. It can be said that all the covering fields that are fields other than the field which laps with this resistive layer 12 are covered. Here, the field with which a resistive layer 12 and the 1st top-face electrode layer 14 lap is a part with which hatching of the slant which shows the resistor layer 12, and hatching of the longitudinal direction which shows the 1st top-face electrode layer 14 lap in drawing 2. Moreover, it can be said that the above-mentioned 2nd top-face electrode layer 16 has covered all fields including the location of the boundary location bottom of this deposit 21 in the above-mentioned 1st top-face electrode layer 14, and a protective layer 20.

[0030] In addition, as shown in drawing 1, the upper limit location of this 2nd top-face electrode layer 16 is formed so that it may become the same as the upper limit location of the part which carried out the laminating to the resistor layer 12 in the 1st top-face electrode layer 14. That is, although it is in the condition of having been ridden on the resistor layer 12 since the laminating of the edge by the side of the resistor layer 12 of the 1st top-face electrode layer 14 is carried out on the resistor layer 12, the 2nd top-face electrode layer 16 is formed in the location where the top-face side of this 1st top-face electrode layer 14 became depressed. Thereby, when the 2nd top-face electrode layer 16 and the 1st top-face electrode layer 14 are caught with one top-face electrode layer, the upper limit of this top-face electrode layer is a plane.

[0031] Moreover, this 2nd top-face electrode layer 16 is formed with the silver system thick film of low-temperature baking, i.e., 500-700-degree-C baking. That is, since it has 10 - 20% (weight ratio) of glass component since this 2nd top-face electrode layer 16 is the silver system thick film of low-temperature baking, and it does not contain most palladium, it has the property of being hard to get wet in solder.

Moreover, since it is a silver system thick film, it can be said that plating attachment nature is good.

[0032] In addition, drawing 2 is drawing showing arrangement of each part at the time of checking a chip resistor A1 by looking from the upper part, and when it carries out plane view about the resistor layer 12, the 1st top-face electrode layer 14, the 2nd top-face electrode layer 16, and a protective layer 20, it illustrates the profile of the maximum outline. In fact, it hides and is similarly expressed as each part including the

member which is not visible. In addition, this point is the same also about drawing 6 .

[0033] Moreover, as shown in drawing 1 , pair formation is carried out to the both ends of the longitudinal direction (the direction of X) of the above-mentioned insulating substrate 10, and the above-mentioned side-face electrode layer 18 is formed in the abbreviation U shape so that a top face, a side face, and a base may be covered. That is, this side-face electrode layer 18 has covered a part of a part of above-mentioned 2nd top-face electrode layer 16, side face of an insulating substrate 10, and inferior surface of tongue of an insulating substrate 10. This side-face electrode layer 18 is formed using film methods, such as vacuum evaporation and sputtering. That is, this side-face electrode layer 18 is formed in the thin film, and is formed with the alloy of base metal, such as Nichrome (NiCr) and copper nickel (CuNi). In addition, this side-face electrode layer 18 may be formed with a silver system thick film or the silver system resin thickness film.

[0034] Next, as shown in drawing 1 , the above-mentioned protective layer 20 is arranged so that the top face of the above-mentioned resistor layer 12 may be covered. Namely, as shown in drawing 2 , it is formed in the direction of Y like the width of face of this insulating substrate 10, and if the arrangement location of this protective layer 20 is explained in more detail, it is further arranged in the direction of X so that a part of 2nd top-face electrode layer 16 of the Norikazu pair when formed in both ends may be covered. This protective layer 20 is formed with way lead silicate glass or resin (epoxy, a phenol, silicon, etc.).

[0035] Next, the deposit 21 has the nickel-plating layer 22 and the solder deposit 24. Here, the nickel-plating layer 22 is arranged by the thickness of abbreviation homogeneity so that the edge of the above-mentioned protective layer 20 may be contacted by electroplating and the above-mentioned 2nd top-face electrode layer 16 and the side-face electrode layer 18 may be covered. This nickel-plating layer 22 is formed in nickel plating, and it is formed in order to prevent solder ***** of the internal electrode of the above-mentioned 2nd top-face electrode layer 16 and side-face electrode layer 18 grade. In addition, as for this nickel-plating layer 22, coppering may be used besides nickel plating.

[0036] The above-mentioned solder deposit 24 is arranged by the thickness of abbreviation homogeneity so that the top face of the above-mentioned deposit 22 may be covered using an electroplating method. This solder deposit 24 is formed with solder, and it is formed in order to perform soldering to the wiring substrate of the above-mentioned chip fixed resistor A1 good. In addition, as for this solder deposit 24, tin may be used in addition to solder.

[0037] In addition, although the 2nd top-face electrode layer 16 is formed

on the occasion of manufacture of the chip fixed resistor A1 after forming the 1st top-face electrode layer 14, formation of this 2nd top-face electrode layer 16 is performed before formation of a protective layer 20. Moreover, the side-face electrode layer 18 is formed after formation of a protective layer 20. In this case, the side-face electrode layer 18 is formed using film methods, such as vacuum evaporation and sputtering.

[0038] Here, the busy condition of the chip fixed resistor A1 of the 1st example is explained. The chip fixed resistor A1 is made to fix to a wiring substrate using solder. At this time, the solder deposit 24 of the chip fixed resistor A1 is welded to the solder for immobilization, and forms a fillet (illustration abbreviation). Then, a protective layer 20 may carry out contraction expansion with the heat in the case of soldering rarely, and may deform. Here, when it has deformed with the heat at the time of a protective layer 20 being soldering, a clearance is formed between a protective layer 20 and the nickel-plating layer 22. Then, solder may infiltrate into this clearance. If solder infiltrates into the aforementioned clearance, it will flow down to the top face of the 2nd top-face electrode layer 16. Here, since solder and the 2nd top-face electrode layer 16 do not have compatibility, the 2nd top-face electrode layer 16 does not start solder ****. That is, the solder which reached on the 2nd top-face electrode layer 16 piles up on that occasion, without spreading on the 2nd top-face electrode layer 16 more than it, and is solidified soon.

[0039] Since the 2nd top-face electrode layer 16 formed in the boundary location bottom of a protective layer 20 and a deposit 22 with the silver system thick film of low-temperature baking which has a glass component is arranged according to the chip fixed resistor A1 of the 1st example A clearance is formed in the boundary location of a protective layer 20 and a deposit 22 at the time of soldering, and even if it is the case where solder permeates from this clearance, it can prevent that the 1st top-face electrode layer 14 gets wet in direct solder. Moreover, the exfoliation of a protective layer 20 and the exfoliation of the nickel-plating layer 22 by solder **** of this 1st top-face electrode layer 14 accelerating can be prevented.

[0040] Moreover, in the connecting location of the 1st top-face electrode layer 14 and the resistor layer 12, since the resistor layer 12 is arranged by the lower layer from the 1st top-face electrode layer 14 that is, when the 1st top-face electrode layer 14 is carrying out the laminating to the top face of the resistor layer 12, it can arrange, without contacting the 2nd top-face electrode layer 16 in the resistor layer 12. That is, by piling up the 1st top-face electrode layer 14 on the resistor layer 12 Distance alpha (refer to drawing 1) from the end face (that is, location in which the 2nd top-face electrode layer 16 is formed) of a protective layer 120 to the

exposure location (end face by the side of the resistor layer 12 of the 1st top-face electrode layer 14) of the resistor layer 12 can be lengthened. When the 2nd top-face electrode layer 16 is formed, this 2nd top-face electrode layer 16 can be prevented from contacting the resistor layer 12. That is, since the 2nd top-face electrode layer 16 is a silver system thick film and it has the problem that silver diffusion takes place and the resistor layer 12 deteriorates when the resistor layer 12 is contacted, as for the 2nd top-face electrode layer 16, it is desirable to make it not contact the resistor layer 12 if possible.

[0041] Moreover, in the connecting location of the 1st top-face electrode layer 14 and the resistor layer 12, when the 1st top-face electrode layer 14 is carrying out the laminating to the top face of the resistor layer 12, the following effectiveness can be acquired. That is, the above area is needed to some extent from a top-face electrode layer contacting the probe for resistance measurement at the time of trimming in a top-face electrode layer. That is, the above electrode layer effective length is needed to some extent. Moreover, in order to secure the electrical installation of a resistor layer and a top-face electrode layer, the above overlap length is required to some extent. Then, the resistive layer effective length who determines the electrical order of a resistor becomes like drawing 3 (a), when the top face of the 1st top-face electrode layer 14 is made to carry out the laminating of the resistor layer 12. On the other hand, since overlap length can be included in electrode layer effective length in the connecting location of the 1st top-face electrode layer 14 and the resistor layer 12 as shown in drawing 3 (b) when the 1st top-face electrode layer 14 is carrying out the laminating to the top face of the resistor layer 12, it becomes possible to take long resistive layer effective length.

[0042] Moreover, since it has 10 - 20% (weight ratio) of glass component since the above-mentioned 2nd top-face electrode layer 16 is the silver system thick film of low-temperature baking, and it does not contain most palladium, it has the property of being hard to get wet in solder. Therefore, when solder **** of the 2nd top-face electrode layer 16 accelerates, exfoliation of protective layer 20 grade does not occur.

[0043] Moreover, since the above-mentioned 1st top-face electrode layer 14 is formed with the silver palladium system thick film which contains palladium 10 to 30%, it can suppress diffusion of the silver to the resistor layer 20, and can suppress expansion of the change in resistance and the change in resistance by temperature by silver being spread, and degradation of electrical characteristics, such as the overload characteristic.

[0044] Moreover, in case thickness of the whole top-face electrode layer can be thickened and a protective layer 20 is printed and formed by

making a top-face electrode layer two-layer [of the 1st top-face electrode layer 14 and the 2nd top-face electrode layer 16], it can prevent that the paste for protective layers flags and spreads on a top-face electrode layer.

[0045] Moreover, since the 2nd top-face electrode layer 16 is after formation of the 1st top-face electrode layer 14, it is calcinated before formation of a protective layer 20 and the side-face electrode layer 18 is further formed using film methods, such as vacuum evaporation and sputtering, a protective layer 20 can be formed with resin system thick films, such as an epoxy resin. Namely, since it becomes unnecessary to calcinate a protective layer 20 by forming by resin, the change in resistance by baking of the side-face electrode layer 18 and a protective layer 20 can be reduced, consequently few chip fixed resistors of resistance tolerance can be manufactured with the sufficient yield. Furthermore, since the glass member containing lead is not used for a protective layer 20, an environment can be considered. Furthermore, since a baking process can be skipped in formation of the side-face electrode layer 18 and a protective layer 20, a manufacturing cost can be reduced.

[0046] Moreover, the above-mentioned 2nd top-face electrode layer 16 is formed with the silver system thick film of low-temperature baking, and since the side-face electrode layer 18 is formed with the thin film, it becomes possible [raising the adhesion of the 2nd top-face electrode layer 16 and the side-face electrode layer 18]. That is, rather than the silver system of elevated-temperature (800-900 degrees C) baking, or a silver palladium system thick film, since the side-face electrode layer of a thin film has the silver system of low-temperature (500-700 degrees C) baking, or good adhesion with a silver palladium system thick film, it can make high adhesion of the 2nd top-face electrode layer 16 and the side-face electrode layer 18. That is, while the silver system of elevated-temperature baking or a silver palladium system thick film is precise on a baking front face, surface area is large since the silver system of low-temperature baking or a silver palladium system thick film has the porous front face although there is little surface area, and a touch area with a thin film is large, since the direction of versatility [internal stress / of a thin film] works, adhesion becomes good.

[0047] Next, the application of the chip fixed resistor of the 1st example of the above is explained. Although the chip fixed resistor A2 shown in drawing 4 (a) is the same configuration as the above-mentioned chip fixed resistor A1, the arrangement fields of the 2nd top-face electrode layer 16 differ. That is, in the chip fixed resistor A2, the 2nd top-face electrode layer 16 is formed only in the boundary location bottom of a protective layer 20 and a deposit 22, and, in the 2nd top-face electrode

layer 16, the side-face electrode layer 18 does not contact, and the 2nd top-face electrode layer 16 has not reached the location where it has been ridden on the resistor layer 12 by the 1st top-face electrode layer 14. Thereby, the laminating of the side-face electrode layer 18 is carried out to the top face of the 1st top-face electrode layer 14.

[0048] Moreover, although chip fixed resistor A3 shown in drawing 4 (b) is the same configuration as the above-mentioned chip fixed resistor A2, it differs in that the edge of the outside of the 2nd top-face electrode layer 16 is in contact with the side-face electrode layer 18.

[0049] Moreover, although chip fixed resistor A4 shown in drawing 4 (c) is the same configuration as the above-mentioned chip fixed resistor A1, the edge inside the 2nd top-face electrode layer 16, i.e., the edge by the side of the resistor layer 12, has not reached the location where it has been ridden on the resistor layer 12 by the 1st top-face electrode layer 14.

[0050] Thus, also in the above-mentioned chip fixed resistor A2 - A4, the same effectiveness as the above-mentioned chip fixed resistor A1 can be acquired. Since the 2nd top-face electrode layer 16 is especially arranged in the boundary location bottom of a protective layer 20 and a deposit 22, a clearance is formed in the boundary location of a protective layer 20 and a deposit 22 at the time of soldering, and even if it is the case where solder permeates from this clearance, it can prevent that the 1st top-face electrode layer 14 gets wet in direct solder. Moreover, in the chip fixed resistor A2 and A3, since the side-face electrode layer 18 has not carried out a laminating to the 2nd top-face electrode layer 16, the height of the edge of the direction of X in a chip fixed resistor can be made low.

[0051] Next, the chip fixed resistor of the 2nd example is explained using a drawing. The points the 1st top-face electrode layer 14 is carrying out [points] the laminating to the inferior surface of tongue of the resistor layer 12 differ to the 1st top-face electrode layer 14 carrying out the laminating of the chip fixed resistor of this 2nd example to the top face of the resistor layer 12 in the chip fixed resistor of the 1st example of the above in the connecting location of the 1st top-face electrode layer 14 and the resistor layer 12.

[0052] First, if the chip fixed resistor B1 is explained, the chip fixed resistor (chip resistor) B1 has an insulating substrate 10, the resistor layer 12, the 1st top-face electrode layer 14, the 2nd top-face electrode layer 16, the side-face electrode layer 18, the protective layer 20, and the deposit 21, as shown in drawing 5 . A deposit 21 consists of a nickel-plating layer 22 and a solder deposit 24.

[0053] Here, when it explains in more detail about the above-mentioned chip fixed resistor B1, the above-mentioned insulating substrate 10 is the

insulator formed with the alumina of about 96% of content. This insulating substrate 10 is presenting the rectangular parallelepiped configuration, and if plane view is carried out, it is presenting the abbreviation rectangle configuration. This insulating substrate 10 is used as a basic member of the above-mentioned chip fixed resistor B1.

[0054] The above-mentioned resistor layer 12 is arranged near the center section of the insulating-substrate 10 above-mentioned top face, as shown in drawing 5. This resistor layer 12 is a ruthenium oxide system thick film. This resistor layer 12 is a functional device which bears electrical characteristics as the above-mentioned chip fixed resistor B1.

[0055] As shown in drawing 5, pair formation of the above-mentioned 1st top-face electrode layer 14 is carried out so that it may connect with the both ends of the longitudinal direction of the above-mentioned resistor layer 12. That is, this 1st top-face electrode layer 14 and the resistor layer 12 are arranged so that this a part of 1st top-face electrode layer 14 may **** on the inferior surface of tongue of this resistor layer 12. That is, in the connecting location of the 1st top-face electrode layer 14 and the resistor layer 12, the resistor layer 12 is carrying out the laminating to the top face of the 1st top-face electrode layer 14. This 1st top-face electrode layer 14 carries out content of the palladium 10 to 30% (weight ratio), and is formed with the silver palladium system thick film with a burning temperature of 800-900 degrees C.

[0056] Moreover, as shown in drawing 5, the above-mentioned 2nd top-face electrode layer 16 is the top face of the above-mentioned 1st top-face electrode layer 14, and is arranged in the location which does not contact in the above-mentioned resistor layer 12. That is, this 2nd top-face electrode layer 16 is formed even before the edge by the side of the resistor layer 12 from the edge by the side of the side-face electrode layer 18 of the 1st top-face electrode layer 14 in the longitudinal direction of X, i.e., direction, (refer to drawing 5) of an insulating substrate 10, and the edge by the side of the resistor layer 12 of the 2nd top-face electrode layer 16 is not in contact with the resistor layer 12. Moreover, it is formed in the direction of a short hand of Y, i.e., direction, (refer to drawing 6) of an insulating substrate 10 in the condition of covering the whole 1st top-face electrode layer 14, and overflowing this 1st top-face electrode layer 14. In addition, this 2nd top-face electrode layer 16 is formed so that the 2nd top-face electrode layer 16 may be located in the boundary location bottom of a deposit 21 and a protective layer 12. That is, at least, it is the boundary location bottom of a deposit 21 and a protective layer 12, and this 2nd top-face electrode layer 16 is formed in the top location of the 1st top-face electrode layer 14.

[0057] Moreover, this 2nd top-face electrode layer 16 is formed with the silver system thick film of low-temperature baking, i.e.,

500-700-degree-C baking. That is, since it has 10 - 20% (weight ratio) of glass component since this 2nd top-face electrode layer 16 is the silver system thick film of low-temperature baking, and it does not contain most palladium, it has the property of being hard to get wet in solder.

Moreover, since it is a silver system thick film, it can be said that plating attachment nature is good.

[0058] Moreover, as shown in drawing 5, pair formation is carried out to the both ends of the longitudinal direction (the direction of X) of the above-mentioned insulating substrate 10, and the above-mentioned side-face electrode layer 18 is formed in the abbreviation U shape so that a top face, a side face, and a base may be covered. This side-face electrode layer 18 is formed using film methods, such as vacuum evaporation and sputtering. That is, this side-face electrode layer 18 is formed in the thin film, and is formed with the alloy of base metal, such as Nichrome (NiCr) and copper nickel (CuNi). In addition, this side-face electrode layer 18 may be formed with a silver system thick film or the silver system resin thickness film.

[0059] Next, as shown in drawing 5, the above-mentioned protective layer 20 is arranged so that the top face of the above-mentioned resistor layer 12 may be covered. Namely, if the arrangement location of this protective layer 20 is explained in more detail, it is formed in the direction of Y like the width of face of this insulating substrate 10, and it is further arranged in the direction of X so that a part of 2nd top-face electrode layer 16 of the Norikazu pair when formed in both ends may be covered. This protective layer 20 is formed with way lead silicate glass or resin (epoxy, a phenol, silicon, etc.).

[0060] Next, the deposit 21 has the nickel-plating layer 22 and the solder deposit 24. Here, the nickel-plating layer 22 is arranged by the thickness of abbreviation homogeneity so that the edge of the above-mentioned protective layer 20 may be contacted by electroplating and the above-mentioned 2nd top-face electrode layer 16 and the side-face electrode layer 18 may be covered. This nickel-plating layer 22 is formed in nickel plating, and it is formed in order to prevent solder ***** of the internal electrode of the above-mentioned 2nd top-face electrode layer 16 and side-face electrode layer 18 grade. In addition, as for this nickel-plating layer 22, coppering may be used besides nickel plating.

[0061] The above-mentioned solder deposit 24 is arranged by the thickness of abbreviation homogeneity so that the top face of the above-mentioned deposit 22 may be covered using an electroplating method. This solder deposit 24 is formed with solder, and it is formed in order to perform soldering to the wiring substrate of the above-mentioned chip fixed resistor A1 good. In addition, as for this solder deposit 24, tin may be used in addition to solder.

[0062] In addition, although the 2nd top-face electrode layer 16 is formed on the occasion of manufacture of the chip fixed resistor A1 after forming the 1st top-face electrode layer 14, formation of this 2nd top-face electrode layer 16 is performed before formation of a protective layer 20. Moreover, the side-face electrode layer 18 is formed after formation of a protective layer 20. In this case, the side-face electrode layer 18 is formed using film methods, such as vacuum evaporation and sputtering.

[0063] Here, the busy condition of the chip fixed resistor B1 of the 2nd example is explained. The chip fixed resistor B1 is made to fix to a wiring substrate using solder. At this time, the solder deposit 24 of the chip fixed resistor B1 is welded to the solder for immobilization, and forms a fillet (illustration abbreviation). Then, a protective layer 20 may carry out contraction expansion with the heat in the case of soldering rarely, and may deform. Here, when it has deformed with the heat at the time of a protective layer 20 being soldering, a clearance is formed between a protective layer 20 and the nickel-plating layer 22. Then, solder may infiltrate into this clearance. If solder infiltrates into the aforementioned clearance, it will flow down to the top face of the 2nd top-face electrode layer 16. Here, since solder and the 2nd top-face electrode layer 16 do not have compatibility, the 2nd top-face electrode layer 16 does not start solder ****. That is, the solder which reached on the 2nd top-face electrode layer 16 piles up on that occasion, without spreading on the 2nd top-face electrode layer 16 more than it, and is solidified soon.

[0064] Since the 2nd top-face electrode layer 16 formed in the boundary location bottom of a protective layer 20 and a deposit 22 with the silver system thick film of low-temperature baking which has a glass component is arranged according to the chip fixed resistor B1 of the 2nd example A clearance is formed in the boundary location of a protective layer 20 and a deposit 22 at the time of soldering, and even if it is the case where solder permeates from this clearance, it can prevent that the 1st top-face electrode layer 14 gets wet in direct solder. Moreover, the exfoliation of a protective layer 120 and the exfoliation of the nickel-plating layer 122 by solder **** of this 1st top-face electrode layer 14 accelerating can be prevented.

[0065] Moreover, since it has 10 - 20% (weight ratio) of glass component since the above-mentioned 2nd top-face electrode layer 16 is the silver system thick film of low-temperature baking, and it does not contain most palladium, it has the property of being hard to get wet in solder. Therefore, when solder **** of the 2nd top-face electrode layer 16 accelerates, exfoliation of protective layer 20 grade does not occur.

[0066] Moreover, since the above-mentioned 1st top-face electrode layer 14 is formed with the silver palladium system thick film which contains

palladium 10 to 30%, it can suppress diffusion of the silver to the resistor layer 20, and can suppress expansion of the change in resistance and the change in resistance by temperature by silver being spread, and degradation of electrical characteristics, such as the overload characteristic.

[0067] Moreover, in case thickness of the whole top-face electrode layer can be thickened and a protective layer 20 is printed and formed by making a top-face electrode layer two-layer [of the 1st top-face electrode layer 14 and the 2nd top-face electrode layer 16], it can prevent that the paste for protective layers flags and spreads on a top-face electrode layer.

[0068] Moreover, since the 2nd top-face electrode layer 16 is after formation of the 1st top-face electrode layer 14, it is calcinated before formation of a protective layer 20 and the side-face electrode layer 18 is further formed using film methods, such as vacuum evaporation and sputtering, a protective layer 20 can be formed with resin system thick films, such as an epoxy resin. Namely, since it becomes unnecessary to calcinate a protective layer 20 by forming by resin, the change in resistance by baking of the side-face electrode layer 18 and a protective layer 20 can be reduced, consequently few chip fixed resistors of resistance tolerance can be manufactured with the sufficient yield. Furthermore, since the glass member containing lead is not used for a protective layer 20, an environment can be considered. Furthermore, since a baking process can be skipped in formation of the side-face electrode layer 18 and a protective layer 20, a manufacturing cost can be reduced.

[0069] Moreover, the above-mentioned 2nd top-face electrode layer 16 is formed with the silver system thick film of low-temperature baking, and since the side-face electrode layer 18 is formed with the thin film, it becomes possible [raising the adhesion of the 2nd top-face electrode layer 16 and the side-face electrode layer 18]. That is, rather than the silver system of elevated-temperature (800-900 degrees C) baking, or a silver palladium system thick film, since the side-face electrode layer of a thin film has the silver system of low-temperature (500-700 degrees C) baking, or good adhesion with a silver palladium system thick film, it can make high adhesion of the 2nd top-face electrode layer 16 and the side-face electrode layer 18. That is, while the silver system of elevated-temperature baking or a silver palladium system thick film is precise on a baking front face, surface area is large since the silver system of low-temperature baking or a silver palladium system thick film has the porous front face although there is little surface area, and a touch area with a thin film is large, since the direction of versatility [internal stress / of a thin film] works, adhesion becomes good.

[0070] Next, the application of the chip fixed resistor of the 1st example of the above is explained. Although chip fixed resistor B-2 shown in drawing 7 (a) is the same configuration as the above-mentioned chip fixed resistor B1, the arrangement fields of the 2nd top-face electrode layer 16 differ. That is, in chip fixed-resistor B-2, the 2nd top-face electrode layer 16 is formed only in the boundary location bottom of a protective layer 20 and a deposit 22, and, in the 2nd top-face electrode layer 16, the side-face electrode layer 18 does not touch. Thereby, the laminating of the side-face electrode layer 18 is carried out to the top face of the 1st top-face electrode layer 14.

[0071] Moreover, although the chip fixed resistor B3 shown in drawing 7 (b) is the same configuration as above-mentioned chip fixed resistor B-2, while the edge of the outside of the 2nd top-face electrode layer 16 is in contact with the side-face electrode layer 18, it differs in that the edge inside the 2nd top-face electrode layer 16 touches the resistor layer 12.

[0072] Moreover, although chip fixed resistor B4 shown in drawing 7 (c) is the same configuration as the above-mentioned chip fixed resistor B1, the edge inside the 2nd top-face electrode layer 16, i.e., the edge by the side of the resistor layer 12, has not reached the location where it has been ridden on the resistor layer 12 by the 1st top-face electrode layer 14.

[0073] Thus, also in above-mentioned chip fixed resistor B-2 - B4, the same effectiveness as the above-mentioned chip fixed resistor B1 can be acquired. Since the 2nd top-face electrode layer 16 is especially arranged in the boundary location bottom of a protective layer 20 and a deposit 22, a clearance is formed in the boundary location of a protective layer 20 and a deposit 22 at the time of soldering, and even if it is the case where solder permeates from this clearance, it can prevent that the 1st top-face electrode layer 14 gets wet in direct solder. Moreover, in chip fixed-resistor B-2 and B3, since the side-face electrode layer 18 has not carried out a laminating to the 2nd top-face electrode layer 16, the height of the edge of the direction of X in a chip fixed resistor can be made low.

[0074] In addition, in the above-mentioned explanation, although explained as that in which the side-face electrode layer 18 is formed, the chip resistor of a configuration of having omitted the configuration of the side-face electrode layer 18 is also considered. In that case, a deposit 21 is not formed in the side face of a chip resistor, but carries out a laminating to top-face a part of [at least] bottoms of the 2nd top-face electrode layer 16, and is formed in the condition of touching a protective layer 20. That is, a deposit 21 will be formed in some [at least] upper part locations of the 1st top-face electrode layer 14. It can be said that only the part which exists above the insulating substrate 10 in a deposit

21 is formed so to speak in a chip resistor A1 - A4, B1 - B4. Naturally also in this case, the 2nd top-face electrode layer 16 will be formed in the boundary location bottom of a protective layer 20 and a deposit 21.

[0075]

[Effect of the Invention] According to the chip resistor based on this invention, since the above-mentioned 2nd top-face electrode layer is prepared, a clearance is formed in the boundary location of a protective layer and a deposit at the time of soldering, and even if it is the case where solder permeates from this clearance, it can prevent that the 1st top-face electrode layer gets wet in direct solder. Furthermore, the exfoliation of a protective layer and the exfoliation of a deposit by solder **** of this 1st top-face electrode layer accelerating can be prevented.

[0076] Moreover, it sets especially to the connecting location of the above-mentioned 1st top-face electrode layer and a resistive layer.

When the 1st top-face electrode layer is carrying out the laminating to the top face of a resistive layer By piling up the 1st top-face electrode layer on a resistive layer, it is the end face (that is,) of a protective layer. When distance from the location in which the 2nd top-face electrode layer is formed to the exposure location (end face by the side of the resistive layer of the 1st top-face electrode layer) of a resistive layer can be lengthened and the 2nd top-face electrode layer is formed, this 2nd top-face electrode layer can be prevented from contacting a resistive layer. Moreover, long resistive layer effective length can be taken, securing the effective length of a required top-face electrode layer, and the overlap length of a top-face electrode layer and a resistive layer.

[0077] Moreover, when the above-mentioned 2nd top-face electrode layer is especially prepared in fields other than the field with which a resistive layer and the 1st top-face electrode layer lap in the plane view of a chip resistor, the 2nd top-face electrode layer can be prevented from contacting a resistive layer.

[0078] Moreover, especially, it is the covering field whose above-mentioned 2nd top-face electrode layer is a predetermined field in the above-mentioned 1st top-face electrode layer, and in the plane view of a chip resistor, when all the covering fields that are fields other than the field which laps with this resistive layer are covered, while making it the 2nd top-face electrode layer not contact a resistive layer, solder **** of the 1st top-face electrode layer can be prevented enough.

[0079] Moreover, when the above-mentioned 2nd top-face electrode layer has covered all fields including the location of the boundary location bottom of this deposit in the above-mentioned 1st top-face electrode layer, and a protective layer especially, solder **** of the 1st top-face electrode layer can be prevented enough.

[0080] Moreover, especially, when the above-mentioned 1st top-face

electrode layer is a silver palladium system thick film, or when the above-mentioned silver palladium system thick film is a silver palladium system thick film which contains palladium 10 to 30% by the weight ratio, diffusion of the silver to a resistive layer can be suppressed and expansion of the change in resistance and the change in resistance by temperature by silver being spread and degradation of electrical characteristics, such as the overload characteristic, can be suppressed. [0081] Moreover, since the 2nd top-face electrode layer is formed with the material which cannot be easily damp in solder when the above-mentioned 2nd top-face electrode layer cannot get wet easily in solder and is especially formed with the good material of plating attachment nature, a clearance is formed in the boundary location of a protective layer and a deposit at the time of soldering, and even if it is the case where solder permeates from this clearance, it can prevent that the 1st top-face electrode layer gets wet in direct solder. Furthermore, the exfoliation of a protective layer and the exfoliation of a deposit by solder **** of this 1st top-face electrode layer accelerating can be prevented. Moreover, since the 2nd top-face electrode layer is formed with the good material of plating attachment nature, it becomes possible [making adhesion with a deposit high].

[0082] Moreover, especially, when the above-mentioned 2nd top-face electrode layer is a silver system thick film, plating attachment nature can be made high, and since it is not the thick film of a silver palladium system, it is hard to get wet in solder, and exfoliation of a protective layer etc. can be prevented.

[0083] Moreover, especially, when the palladium content in the above-mentioned 2nd top-face electrode layer is 1% or less in a weight ratio, since there are few palladium contents, the 2nd top-face electrode layer cannot get wet easily in solder, and can prevent exfoliation of a protective layer etc.

[0084] Moreover, when the above-mentioned 2nd top-face electrode layer is especially formed with the material whose burning temperature is 500 degrees C - 700 degrees C, since it is low-temperature baking, the 2nd top-face electrode layer will contain a glass component, cannot get wet easily in solder, and can prevent exfoliation of a protective layer etc.

[0085] Moreover, since a side-face electrode layer is not calcinated even when the above-mentioned side-face electrode layer is formed especially, without performing a baking process, and forming a side-face electrode layer after the protection stratification in manufacture of a chip resistor, resin can be used for a protective layer. Moreover, after that, when adjusting the resistance of a resistive layer after the 2nd top-face electrode stratification, since neither a protective layer nor a side-face electrode layer is calcinated, a resistance value change can be

prevented.

[0086] Moreover, especially, when the above-mentioned side-face electrode layer is a thin film, the adhesion of the 2nd top-face electrode layer formed with the silver system thick film of low-temperature baking and this side-face electrode layer can be improved.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the chip fixed resistor based on the 1st example of this invention.

[Drawing 2] It is the top view showing notionally arrangement of the important section in the chip fixed resistor based on the 1st example of this invention.

[Drawing 3] It is an explanatory view for explaining the effectiveness of a chip fixed resistor based on the 1st example of this invention.

[Drawing 4] It is the sectional view showing the application of the 1st example.

[Drawing 5] It is the sectional view showing the chip fixed resistor based on the 2nd example of this invention.

[Drawing 6] It is the top view showing notionally arrangement of the important section in the chip fixed resistor based on the 2nd example of this invention.

[Drawing 7] It is the sectional view showing the application of the 2nd example.

[Drawing 8] It is the sectional view showing the conventional chip fixed resistor.

[Drawing 9] It is a sectional view for explaining the trouble of the conventional chip fixed resistor.

[Description of Notations]

A1, A2, A3, A4, B1, B-2, B3, B4 Chip fixed resistor

10 Insulating Substrate

12 Resistor Layer

14 1st Top-Face Electrode Layer

16 2nd Top-Face Electrode Layer

18 Side-Face Electrode Layer

20 Protective Layer

21 Deposit

22 Nickel-Plating Layer

24 Solder Deposit

[Translation done.]

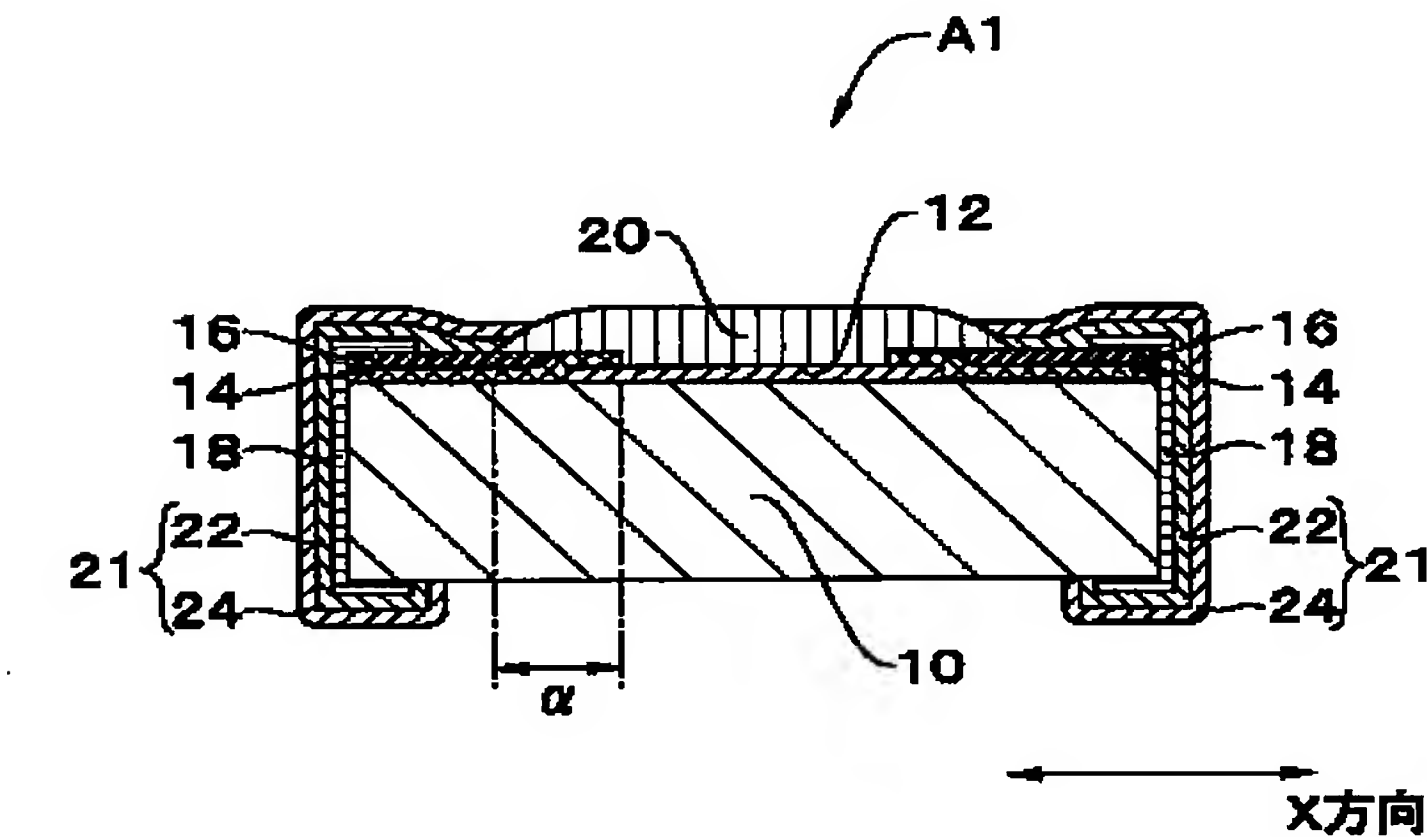
* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

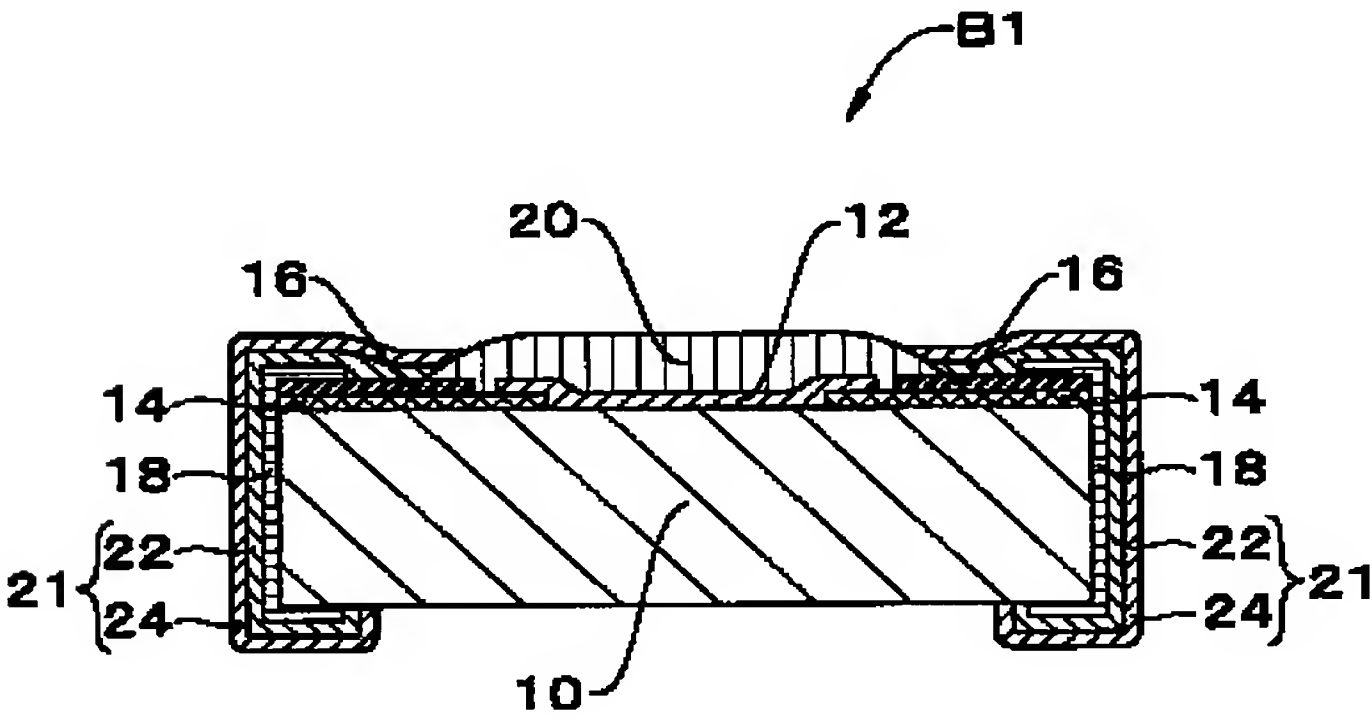
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

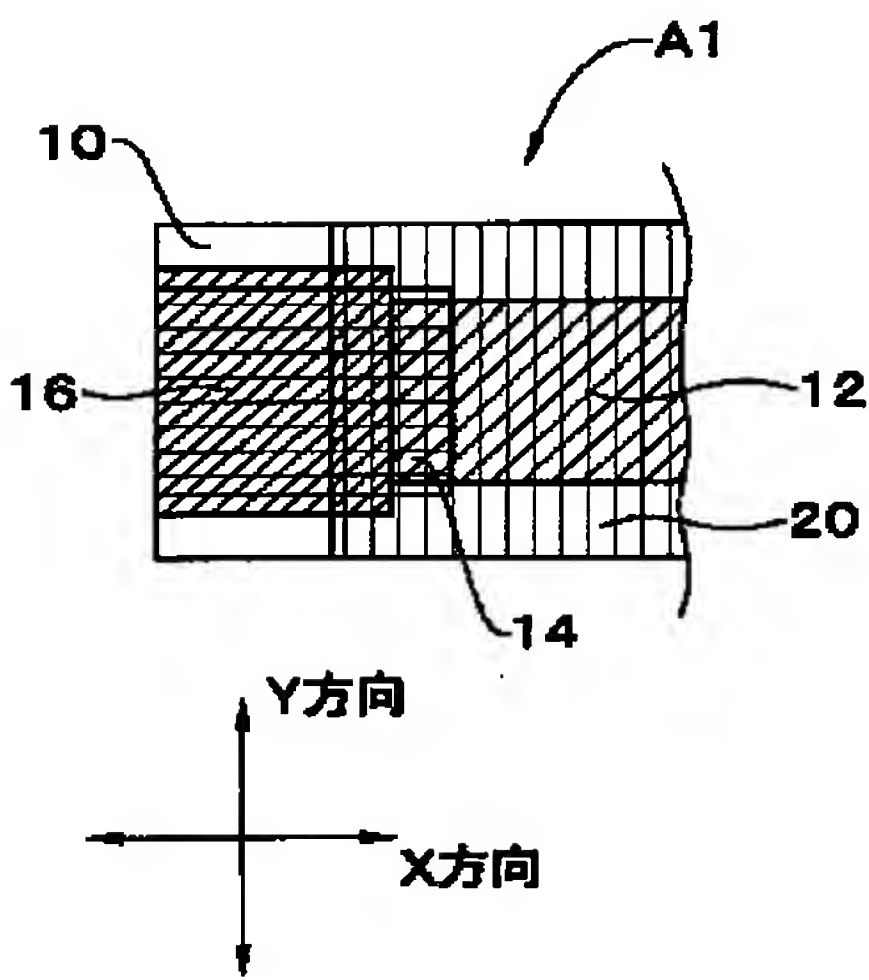
[Drawing 1]



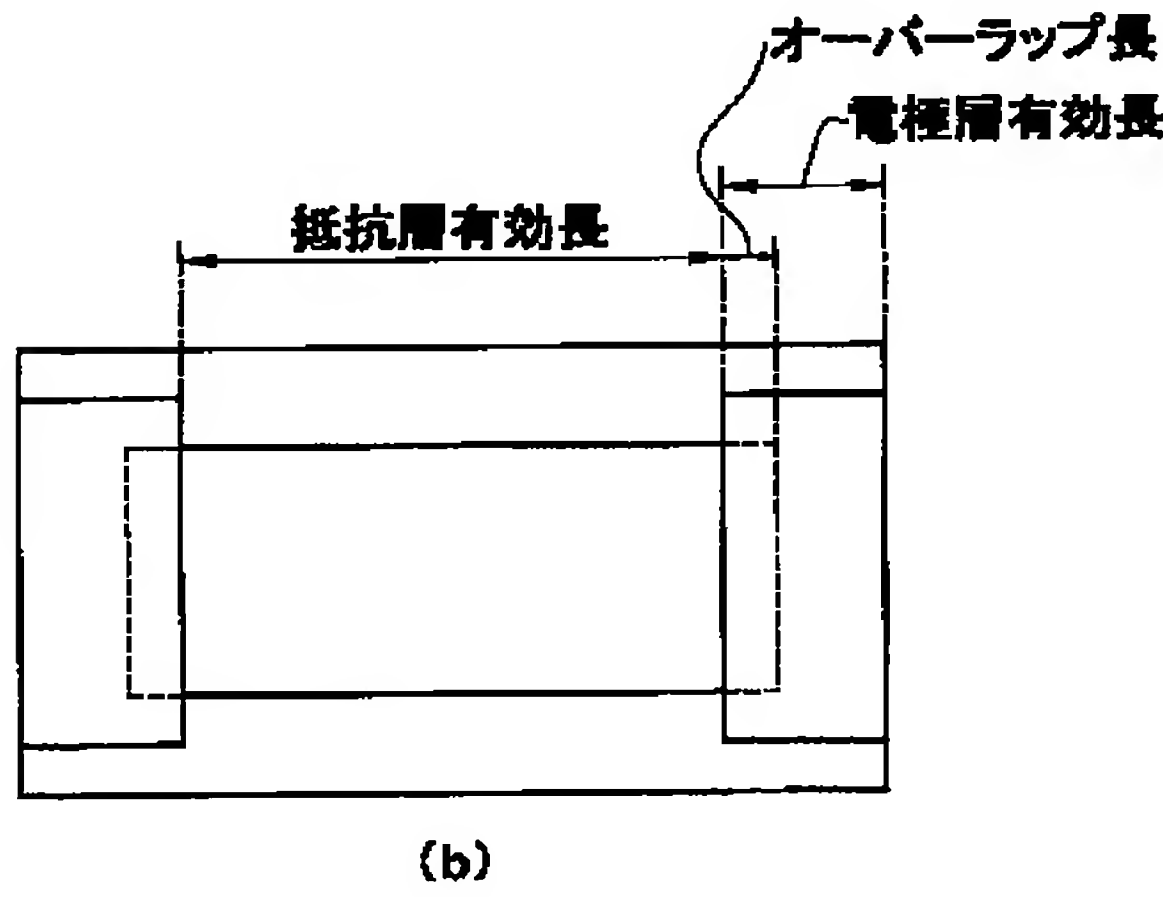
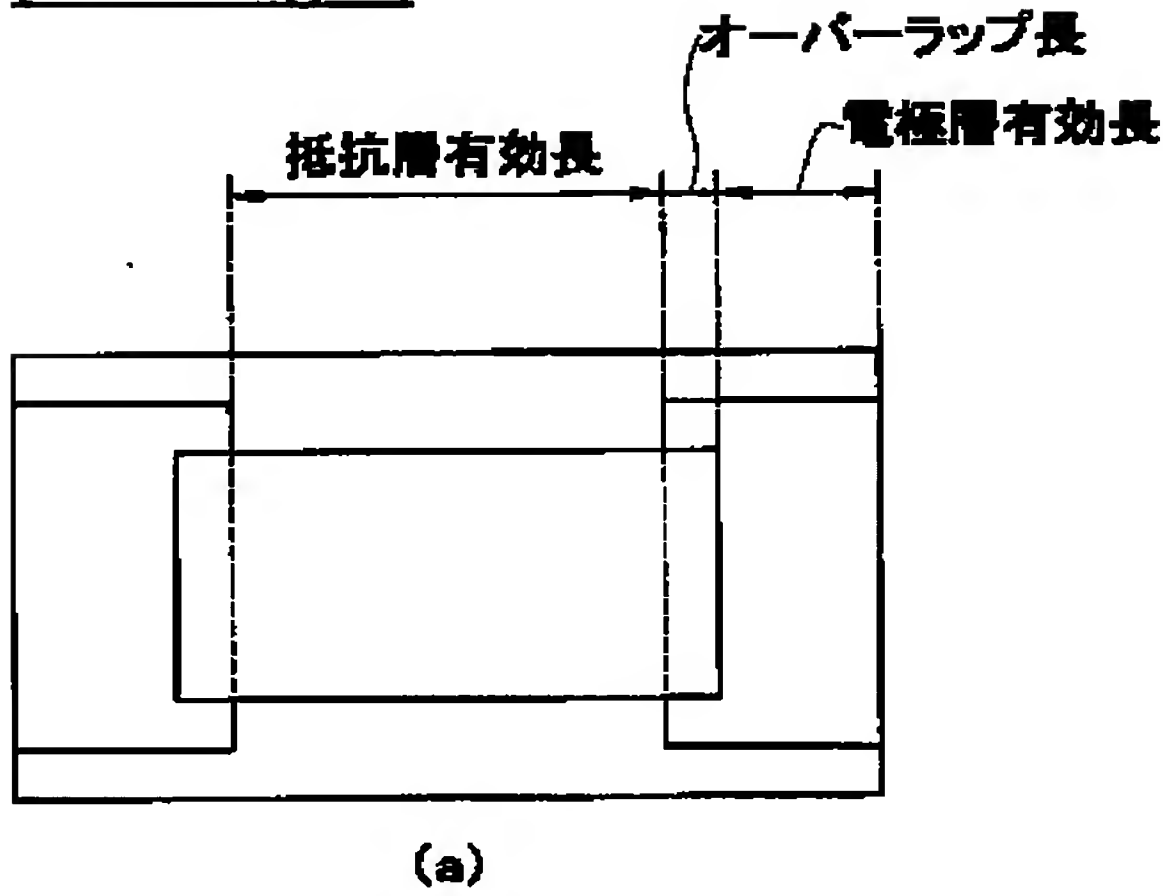
[Drawing 5]



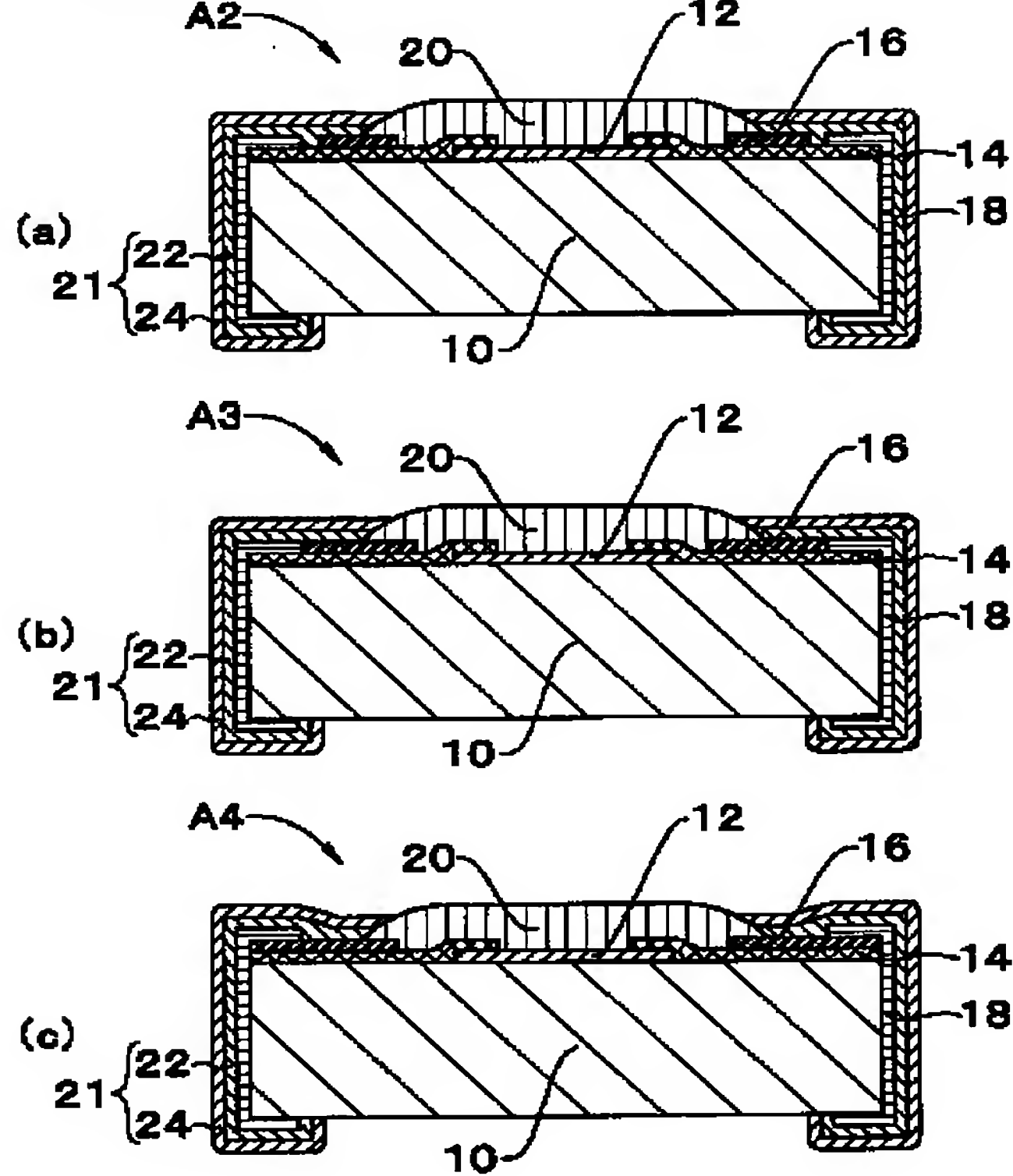
[Drawing 2]



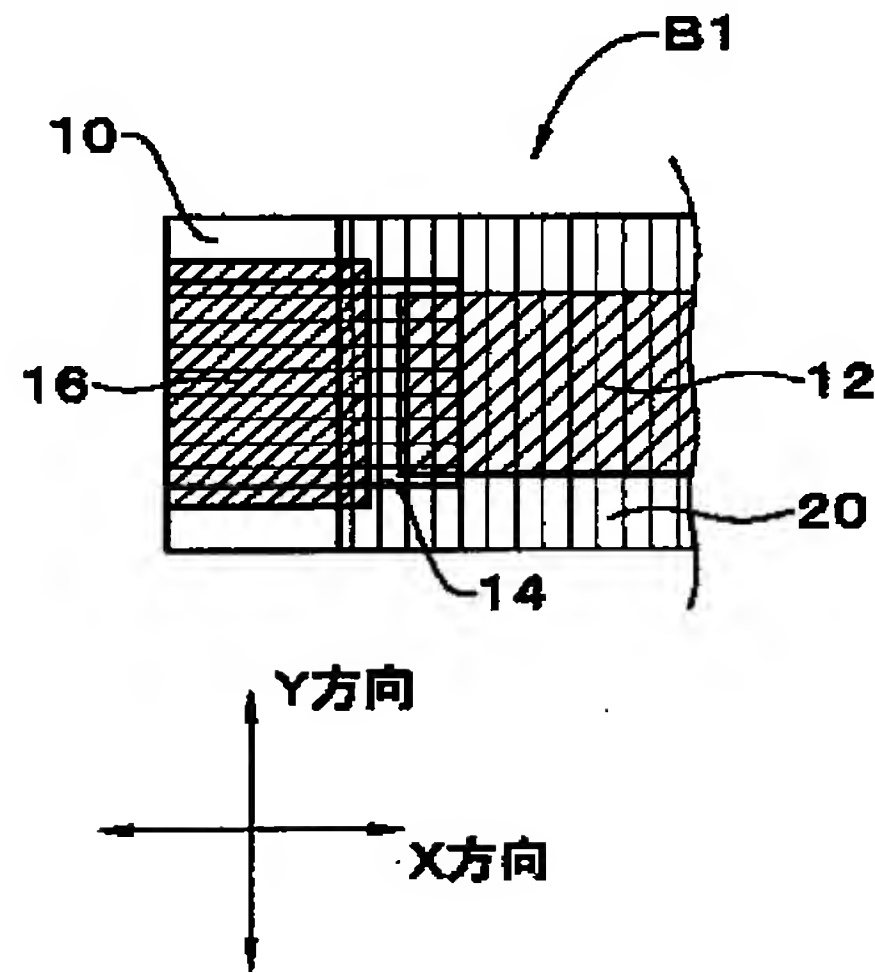
[Drawing 3]



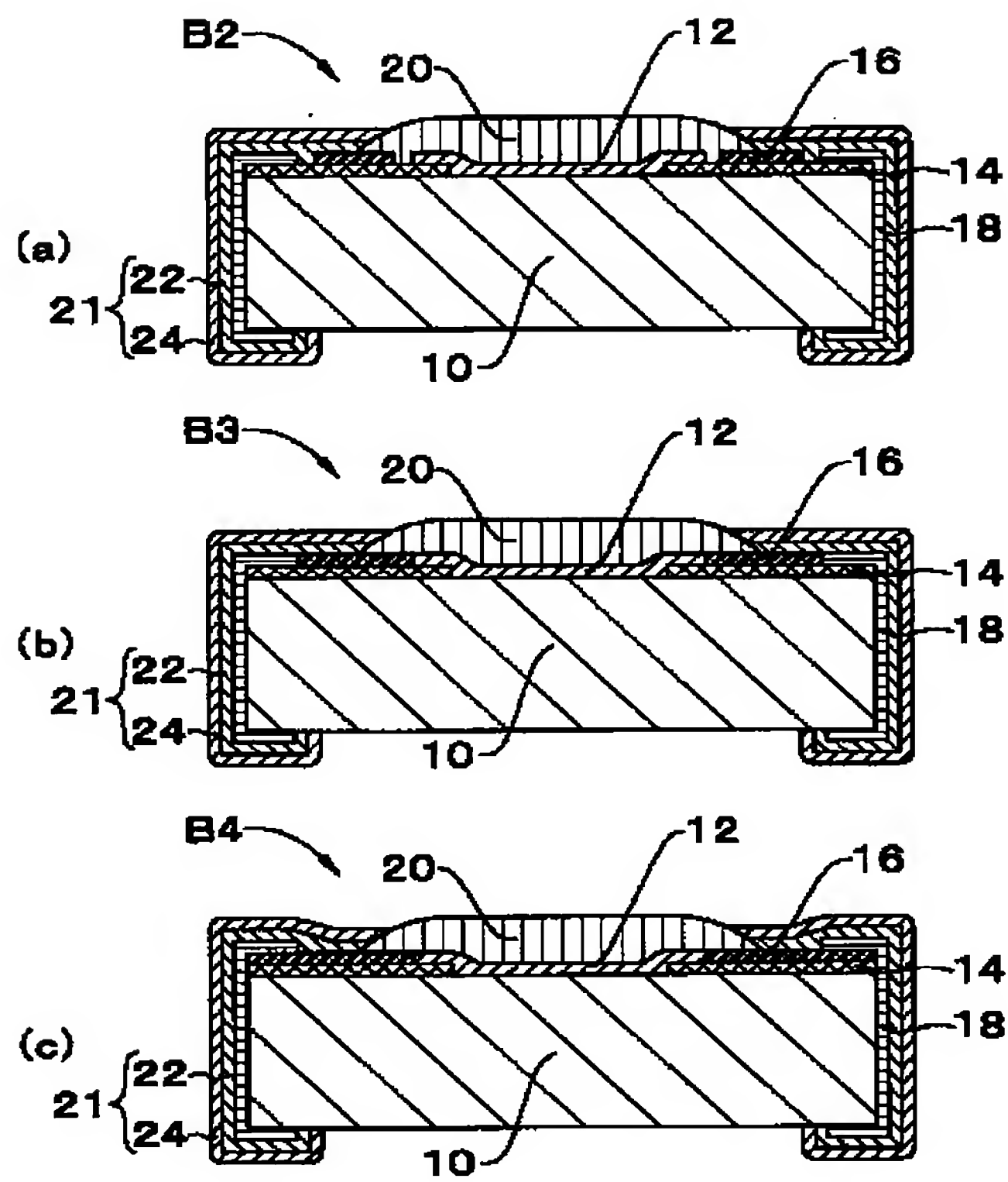
[Drawing 4]



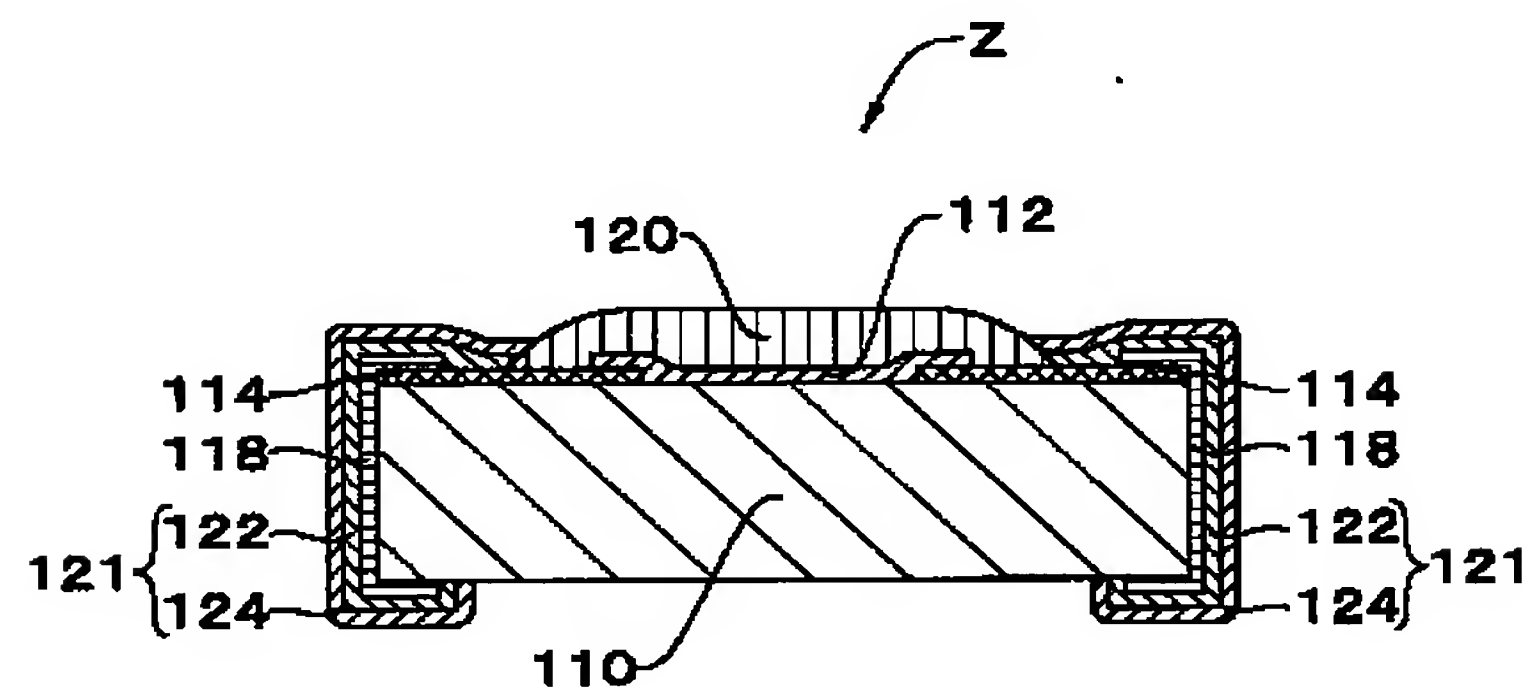
[Drawing 6]



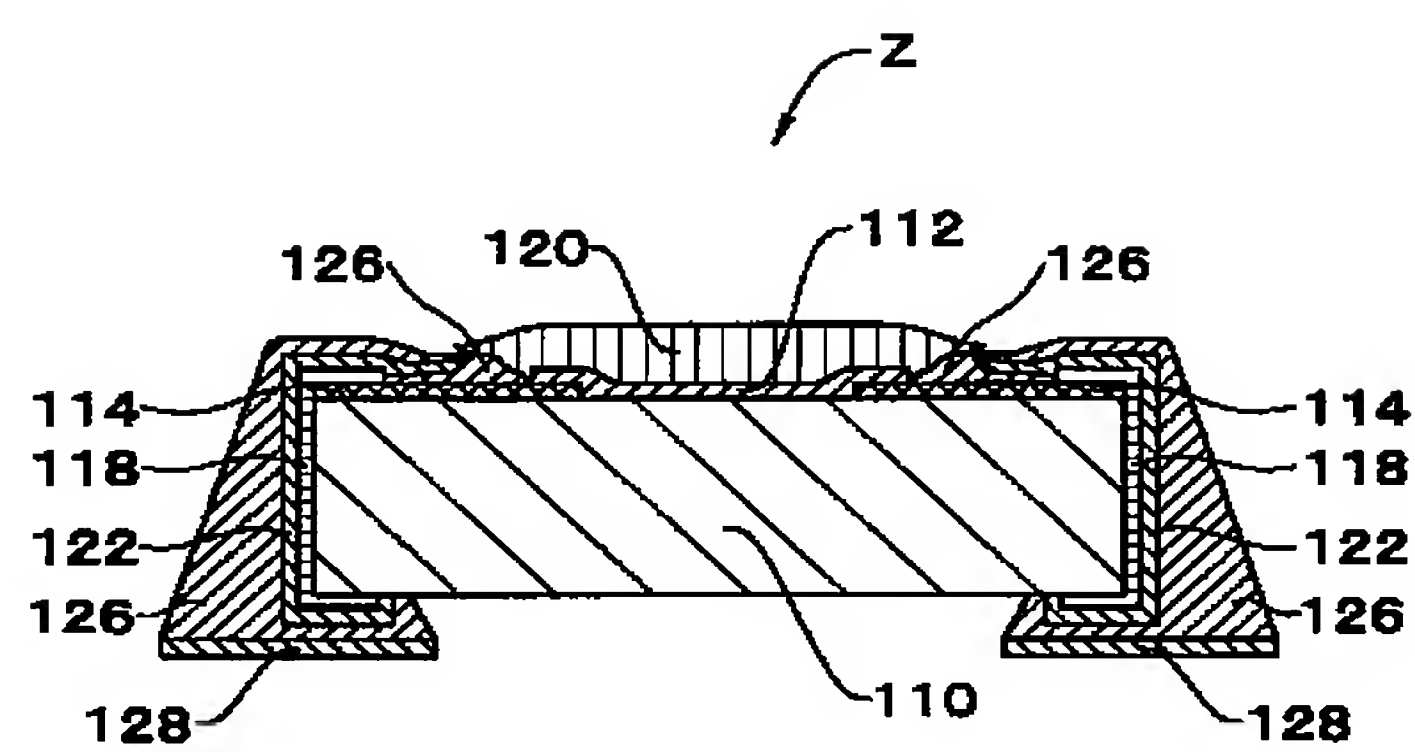
[Drawing 7]



[Drawing 8]



[Drawing 9]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2003-68502
(P2003-68502A)

(43)公開日 平成15年3月7日(2003.3.7)

(51)Int.Cl.⁷
H 0 1 C 7/00

識別記号

F I
H 0 1 C 7/00

テーマコード(参考)
B 5 E 0 3 3

審査請求 未請求 請求項の数14 O L (全 12 頁)

(21)出願番号 特願2001-251559(P2001-251559)

(22)出願日 平成13年8月22日(2001.8.22)

(71)出願人 593028942

太陽社電気株式会社

岐阜県多治見市小田町6丁目1番地

(72)発明者 馬場 洋泰

岐阜県多治見市小田町6丁目1番地 太陽
社電気株式会社内

(74)代理人 100074022

弁理士 長屋 文雄 (外1名)

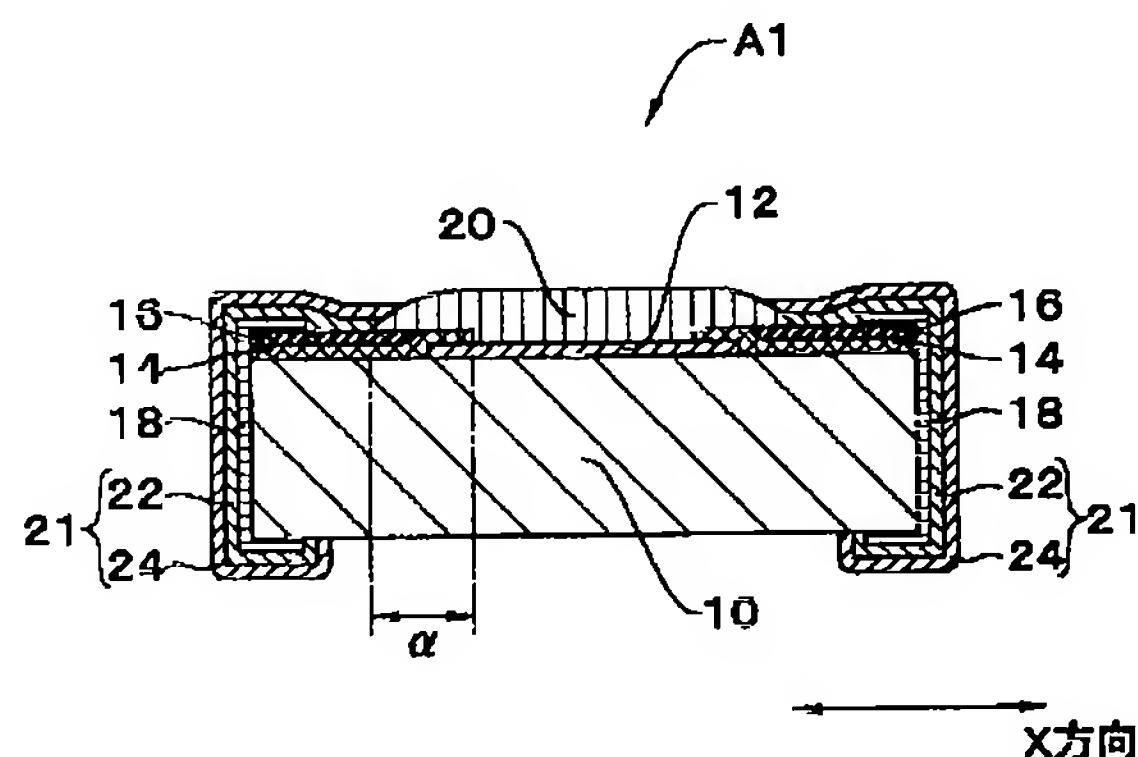
Fターム(参考) 5E033 AA27 BB02 BC01 BD01 BE01
BC02 BG03 BH02

(54)【発明の名称】 チップ抵抗器

(57)【要約】

【課題】 はんだ付け時において、上面電極層のはんだ濡れを防止することができ、保護層やニッケルメッキ層の剥離を防止することができて、はんだ濡れに起因する耐候性低下を回避することができるチップ固定抵抗器を提供する。

【解決手段】 第1上面電極層14の上面に積層して設けられ、少なくとも、該メッキ層21と保護層20の境界位置の下側に設けられた第2上面電極層16を設ける。第1上面電極層14は、パラジウムを10～30%含有し、焼成温度800～900℃の銀パラジウム系厚膜により形成し、また、第2上面電極層16は、低温焼成、つまり、500～700℃焼成の銀系厚膜により形成する。さらに、第1上面電極層14と抵抗層12の接続位置においては、第1上面電極層14が抵抗層12の上面に積層しているようにする。



【特許請求の範囲】

【請求項1】 絶縁基板と、
該絶縁基板上に形成された一对の第1上面電極層と、
該一对の第1上面電極層間に形成された抵抗層と、
該抵抗層を覆うように形成された保護層と、
該保護層と接するメッキ層と、を有するチップ抵抗器であって、
該第1上面電極層の上面に積層して設けられた第2上面電極層であって、少なくとも、該メッキ層と保護層の境界位置の下側に設けられた第2上面電極層を有することを特徴とするチップ抵抗器。

【請求項2】 絶縁基板と、
該絶縁基板上に形成された一对の第1上面電極層と、
該一对の第1上面電極層間に形成された抵抗層と、
該抵抗層を覆うように形成された保護層と、
少なくとも、該絶縁基板の側面であって、該第1上面電極層形成側の側面に形成された側面電極層と、
少なくとも該側面電極層を覆うように形成されたメッキ層と、
該保護層と接するメッキ層と、を有するチップ抵抗器であって、
該第1上面電極層の上面に積層して設けられた第2上面電極層であって、少なくとも、該メッキ層と保護層の境界位置の下側に設けられた第2上面電極層を有することを特徴とするチップ抵抗器。

【請求項3】 上記側面電極層が、焼成工程を行なうことなく形成されたものであることを特徴とする請求項2に記載のチップ抵抗器。

【請求項4】 上記側面電極層が、薄膜であることを特徴とする請求項2又は3に記載のチップ抵抗器。

【請求項5】 上記第1上面電極層と抵抗層の接続位置においては、第1上面電極層が抵抗層の上面に積層していることを特徴とする請求項1又は2又は3又は4に記載のチップ抵抗器。

【請求項6】 上記第2上面電極層が、チップ抵抗器の平面視において、抵抗層と第1上面電極層とが重なる領域以外の領域に設けられていることを特徴とする請求項1又は2又は3又は4又は5に記載のチップ抵抗器。

【請求項7】 上記第2上面電極層が、上記第1上面電極層における所定の領域である被覆領域であって、チップ抵抗器の平面視において、該抵抗層と重なる領域以外の領域である被覆領域を全て被覆していることを特徴とする請求項1又は2又は3又は4又は5又は6に記載のチップ抵抗器。

【請求項8】 上記第2上面電極層は、上記第1上面電極層における該メッキ層と保護層の境界位置の下側の位置を含む領域を全て被覆していることを特徴とする請求項1又は2又は3又は4又は5又は6又は7に記載のチップ抵抗器。

【請求項9】 上記第1上面電極層が、銀パラジウム系厚膜であることを特徴とする請求項1又は2又は3又は

4又は5又は6又は7又は8に記載のチップ抵抗器。

【請求項10】 上記銀パラジウム系厚膜が、パラジウムを重量比で10～30%含有する銀パラジウム系厚膜であることを特徴とする請求項9に記載のチップ抵抗器。

【請求項11】 上記第2上面電極層が、はんだに濡れ難く、めっき付け性のよい素材により形成されていることを特徴とする請求項1又は2又は3又は4又は5又は6又は7又は8又は9又は10に記載のチップ抵抗器。

【請求項12】 上記第2上面電極層が、銀系厚膜であることを特徴とする請求項1又は2又は3又は4又は5又は6又は7又は8又は9又は10又は11に記載のチップ抵抗器。

【請求項13】 上記第2上面電極層におけるパラジウム含有量が重量比で1%以下であることを特徴とする請求項1又は2又は3又は4又は5又は6又は7又は8又は9又は10又は11又は12に記載のチップ抵抗器。

【請求項14】 上記第2上面電極層が、焼成温度が500℃～700℃の素材により形成されていることを特徴とする請求項1又は2又は3又は4又は5又は6又は7又は8又は9又は10又は11又は12又は13に記載のチップ抵抗器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、チップ抵抗器に関するものであり、特に、チップ固定抵抗器に関するものである。

【0002】

【従来の技術】従来のチップ固定抵抗器Zは、図8に示すように、絶縁基板110と、抵抗体層112と、上面電極層114と、側面電極層118と、保護層120と、メッキ層121とを有している。ここで、該メッキ層121は、ニッケルメッキ層122と、はんだメッキ層124とを有している。

【0003】

【発明が解決しようとする課題】しかし、従来のチップ固定抵抗器Zにおいては、はんだ付け時に、メッキ層121と保護層120との境界部分に隙間が形成されて、該隙間からはんだが侵入すると、上面電極層114がはんだ濡れしてしまい、この症状が加速されると、図9に示すように、侵入したはんだが保護層120を押し上げて、保護層120が剥離されてしまうことになる。また、同様に、ニッケルメッキ層122についても、同様に剥離が発生することになる。保護層120やニッケルメッキ層122が剥離することにより、チップ抵抗器の耐候性が著しく低下し、チップ抵抗器が故障に至る危険があった。なお、図9において、126は、はんだにより形成されたフィレットであり、128は、ランドを示す。

【0004】特に、上記の問題点は、以下の点からより

顕在化してきた。つまり、近年、保護層120の素材が、抵抗器の高精度化、鉛レス化及び省エネ等の理由により、ガラスから樹脂に変更されつつあり、そうすると、保護層120の密着強度が低下し、また、保護層120自体の強度が低下することにより、保護層120がより剥離しやすくなった。

【0005】また、近年鉛フリーのはんだが使用されつつあるが、この鉛フリーのはんだを使用すると、はんだ付け時の温度が高くなり、これにより、保護層120等の各部位への熱ストレスが強くなり、上面電極層114のはんだにより濡れやすくなった。

【0006】また、従来から上面電極層114には、銀系厚膜又は銀パラジウム系厚膜が使用されているが、チップサイズの微小化により抵抗体層112中への銀の拡散による特性の劣化が問題となり、その対策として銀の拡散を起こし難くしたパラジウム含有率10～30%程度の銀パラジウム系厚膜を使用するようになった。そのため、逆に、上面電極層114は、パラジウム含有率の増加により銀パラジウム系厚膜の表面において銀の酸化が抑制されてしまい、その結果、上面電極層114におけるはんだ濡れが発生し易くなった。

【0007】そこで、本発明は、はんだ付け時ににおいて、上面電極層のはんだ濡れを防止することができ、保護層やニッケルメッキ層の剥離を防止することができ、はんだ濡れに起因する耐候性低下を回避することができるチップ固定抵抗器を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明は上記問題点を解決するために創作されたものであって、第1には、絶縁基板と、該絶縁基板上に形成された一对の第1上面電極層と、該一对の第1上面電極層間に形成された抵抗層と、該抵抗層を覆うように形成された保護層と、該保護層と接するメッキ層と、を有するチップ抵抗器であって、該第1上面電極層の上面に積層して設けられた第2上面電極層であって、少なくとも、該メッキ層と保護層の境界位置の下側に設けられた第2上面電極層を有することを特徴とする。

【0009】この第1の構成のチップ抵抗器においては、上記第2上面電極層が設けられているので、はんだ付け時に保護層とメッキ層との境界位置に隙間が形成されて、該隙間からはんだが浸入した場合であっても、第1上面電極層が直接はんだに濡れることを防止することができる。さらに、該第1上面電極層のはんだ濡れが加速することによる保護層の剥離やメッキ層の剥離を防止することができる。なお、この第1の構成におけるメッキ層について、「該保護層に接するメッキ層であって、該第1上面電極層の少なくとも一部の上方に設けられたメッキ層」としてもよい。

【0010】また、第2には、絶縁基板と、該絶縁基板上に設けられた一对の第1上面電極層と、該一对の第1

上面電極層間に形成された抵抗層と、該抵抗層を覆うように形成された保護層と、少なくとも、該絶縁基板の該上面電極層形成側の端面に形成された側面電極層と、少なくとも該側面電極層を覆うように形成されたメッキ層と、該保護層と接するメッキ層と、を有するチップ抵抗器であって、該第1上面電極層の上面に積層して設けられた第2上面電極層であって、少なくとも、該メッキ層と保護層の境界位置の下側に設けられた第2上面電極層を有することを特徴とする。

【0011】この第2の構成のチップ抵抗器においては、上記第2上面電極層が設けられているので、はんだ付け時に保護層とメッキ層との境界位置に隙間が形成されて、該隙間からはんだが浸入した場合であっても、第1上面電極層が直接はんだに濡れることを防止することができる。さらに、該第1上面電極層のはんだ濡れが加速することによる保護層の剥離やメッキ層の剥離を防止することができる。

【0012】また、第3には、上記第2の構成において、上記側面電極層が、焼成工程を行なうことなく形成されたものであることを特徴とする。これにより、チップ抵抗器の製造に当たって、保護層形成後に側面電極層を形成する場合でも、側面電極層を焼成しないので、保護層に樹脂を用いることができる。また、第2上面電極層形成後に抵抗層の抵抗値を調整する場合に、その後に、保護層や側面電極層を焼成しないので、抵抗値の変化を防止することができる。

【0013】また、第4には、上記第2又は第3の構成において、上記側面電極層が、薄膜であることを特徴とする。これにより、低温焼成の銀系厚膜により形成された第2上面電極層と、該側面電極層との密着性をよくすることができる。

【0014】また、第5には、上記第1から第4までのいずれかの構成において、上記第1上面電極層と抵抗層の接続位置においては、第1上面電極層が抵抗層の上面に積層していることを特徴とする。よって、第1上面電極層を抵抗層の上に重ねることにより、保護層の端面（つまり、第2上面電極層が形成される位置）から抵抗層の露出位置（第1上面電極層の抵抗層側の端面）までの距離を長くすることができ、第2上面電極層を形成した際に、該第2上面電極層が抵抗層に接触しないようにすることができる。また、必要な上面電極層の有効長と、上面電極層と抵抗層とのオーバーラップ長とを確保しつつ、抵抗層有効長を長く取ることができる。

【0015】また、第6には、上記第1から第5までのいずれかの構成において、上記第2上面電極層が、チップ抵抗器の平面視において、抵抗層と第1上面電極層とが重なる領域以外の領域に設けられていることを特徴とする。これにより、第2上面電極層が抵抗層に接触しないようにすることができる。

【0016】また、第7には、上記第1から第6までの

いずれかの構成において、上記第2上面電極層が、上記第1上面電極層における所定の領域である被覆領域であって、チップ抵抗器の平面視において、該抵抗層と重なる領域以外の領域である被覆領域を全て被覆していることを特徴とする。これにより、第2上面電極層が抵抗層に接触しないようにするとともに、第1上面電極層のはんだ濡れを十分防止することができる。

【0017】また、第8には、上記第1から第7までのいずれかの構成において、上記第2上面電極層は、上記第1上面電極層における該メッキ層と保護層の境界位置の下側の位置を含む領域を全て被覆していることを特徴とする。よって、第1上面電極層のはんだ濡れを十分防止することができる。

【0018】また、第9には、上記第1から第8までのいずれかの構成において、上記第1上面電極層が、銀パラジウム系厚膜であることを特徴とする。また、第10には、上記第9の構成において、上記銀パラジウム系厚膜が、パラジウムを重量比で10～30%含有する銀パラジウム系厚膜であることを特徴とする。よって、この第9及び第10の構成によれば、抵抗層への銀の拡散を抑えることができ、銀が拡散することによる、抵抗値変化や、温度による抵抗値変化の拡大や、過負荷特性等の電気的特性の劣化を抑えることができる。

【0019】また、第11には、上記第1から第10までのいずれかの構成において、上記第2上面電極層が、はんだに濡れ難く、めっき付け性のよい素材により形成されていることを特徴とする。よって、第2上面電極層がはんだに濡れ難い素材により形成されているので、はんだ付け時に保護層とメッキ層との境界位置に隙間が形成されて、該隙間からはんだが浸入した場合であっても、第1上面電極層が直接はんだに濡れることを防止することができる。さらに、該第1上面電極層のはんだ濡れが加速することによる保護層の剥離やメッキ層の剥離を防止することができる。また、第2上面電極層はめっき付け性のよい素材により形成されているので、メッキ層との密着性を高くすることが可能となる。

【0020】また、第12には、上記第1から第11までのいずれかの構成において、上記第2上面電極層が、銀系厚膜であることを特徴とする。よって、めっき付け性を高くすることができ、また、銀パラジウム系の厚膜ではないため、はんだに濡れ難く、保護層等の剥離を防止することができる。

【0021】また、第13には、上記第1から第12までのいずれかの構成において、上記第2上面電極層におけるパラジウム含有量が重量比で1%以下であることを特徴とする。よって、第2上面電極層は、パラジウム含有量が少ないため、はんだに濡れ難く、保護層等の剥離を防止することができる。

【0022】また、第14には、上記第1から第13までのいずれかの構成において、上記第2上面電極層が、

焼成温度が500℃～700℃の素材により形成されていることを特徴とする。この第2上面電極層は、低温焼成であることから、ガラス成分を含むことになり、はんだに濡れ難く、保護層等の剥離を防止することができる。

【0023】

【発明の実施の形態】本発明の実施の形態としての第1実施例を図面を利用して説明する。本実施例のチップ固定抵抗器（チップ抵抗器）A1は、図1に示すように、絶縁基板10と、抵抗体層（抵抗層）12と、第1上面電極層14と、第2上面電極層16と、側面電極層18と、保護層20と、メッキ層21と、を有している。メッキ層21は、ニッケルメッキ層22と、はんだメッキ層24とからなる。

【0024】ここで、上記チップ固定抵抗器A1についてさらに詳しく説明すると、上記絶縁基板10は、含有率96%程度のアルミナにて形成された絶縁体である。この絶縁基板10は、直方体形状を呈しており、平面視すると、略長方形形状を呈している。この絶縁基板10は、上記チップ固定抵抗器A1の基礎部材として用いられている。

【0025】上記抵抗体層12は、図1に示すように、上記絶縁基板10上面の中央部付近に配設されている。この抵抗体層12は、酸化ルテニウム系厚膜である。この抵抗体層12は、上記チップ固定抵抗器A1として電気的特性を担う機能素子である。

【0026】上記第1上面電極層14は、図1に示すように、上記抵抗体層12の長手方向の両端と接続するように一対形成されている。すなわち、該第1上面電極層14と抵抗体層12とは、該第1上面電極層14の一部が該抵抗体層12の一部の上面に積重するように配設されている。つまり、第1上面電極層14と抵抗体層12の接続位置において、第1上面電極層14が抵抗体層12の上面に積層している。すなわち、第1上面電極層14と抵抗体層12とが重なり合うオーバーラップ部分においては、第1上面電極層14が抵抗体層12の上面に積層している。この第1上面電極層14は、パラジウムを10～30%（重量比）含有し、焼成温度800～900℃の銀パラジウム系厚膜により形成されている。

【0027】また、上記第2上面電極層16は、図1に示すように、上記第1上面電極層14の上面であって、上記抵抗体層12とは接触しない位置に配設されている。つまり、この第2上面電極層16は、絶縁基板10の長手方向、つまり、X方向（図1，図2参照）には、第1上面電極層14の側面電極層18側の端部から抵抗体層12側の端部の手前にまで設けられ、絶縁基板10の短手方向、つまり、Y方向（図2参照）には、第1上面電極層14の全体を被覆して該第1上面電極層14からはみ出る状態で形成されている。

【0028】なお、この第2上面電極層16は、メッキ

層21と保護層12の境界位置の下側に第2上面電極層16が位置するように設けられている。つまり、少なくとも、メッキ層21と保護層12の境界位置の下側で、かつ、第1上面電極層14の上側位置には、該第2上面電極層16が形成されている。特に、メッキ層21と保護層20の境界位置に接するメッキ層21の所定の範囲の部分と、該境界位置に接する保護層20の所定の範囲の部分とは、ともに第2上面電極層16の上に積層して接している。

【0029】また、上記第2上面電極層16が、チップ抵抗器A1の平面視において、抵抗層12と第1上面電極層14とが重なる領域以外の領域に設けられており、特に、上記第2上面電極層16が、上記第1上面電極層14における所定の領域である被覆領域であって、チップ抵抗器の平面視において、該抵抗層12と重なる領域以外の領域である被覆領域を全て被覆しているといえる。ここで、抵抗層12と第1上面電極層14とが重なる領域とは、図2において、抵抗層12を示す斜めのハッチングと、第1上面電極層14を示す横方向のハッチングとが重なる部分である。また、上記第2上面電極層16は、上記第1上面電極層14における該メッキ層21と保護層20の境界位置の下側の位置を含む領域を全て被覆しているともいえる。

【0030】なお、図1に示すように、この第2上面電極層16の上端位置は、第1上面電極層14において抵抗層12に積層した部分の上端位置と同じになるように形成されている。つまり、第1上面電極層14の抵抗層12側の端部は、抵抗層12の上に積層しているので、抵抗層12に乗り上がった状態となっているが、この第1上面電極層14の上面側の窪んだ位置に第2上面電極層16が設けられている。これにより、第2上面電極層16と第1上面電極層14とを1つの上面電極層ととらえた場合に、該上面電極層の上端は平面状になっている。

【0031】また、この第2上面電極層16は、低温焼成、つまり、500～700℃焼成の銀系厚膜により形成されている。つまり、この第2上面電極層16は、低温焼成の銀系厚膜であることから、10～20%（重量比）のガラス成分を有しており、また、パラジウムをほとんど含有していないことから、はんだに濡れ難い特性を有している。また、銀系厚膜であることから、めっき付け性は良好であるといえる。

【0032】なお、図2は、チップ抵抗器A1を上方から視認した場合の各部の配置を示す図であり、抵抗層12、第1上面電極層14、第2上面電極層16、保護層20について平面視した際に、最外郭の輪郭を図示したものである。実際には、隠れて見えない部材を含めて、各部とも同様に表現している。なお、この点は、図6についても同様である。

【0033】また、上記側面電極層18は、図1に示す

ように、上記絶縁基板10の長手方向（X方向）の両端に一对形成されており、上面及び側面及び底面を被覆するように略コ字状に形成されている。つまり、この側面電極層18は、上記第2上面電極層16の一部と、絶縁基板10の側面と、絶縁基板10の下面の一部とを被覆している。この側面電極層18は、蒸着及びスパッタリング等の薄膜法を用いて形成されている。つまり、この側面電極層18は、薄膜に形成されていて、ニクロム（NiCr）や銅ニッケル（CuNi）等の卑金属の合金により形成されている。なお、この側面電極層18は、銀系厚膜や銀系樹脂厚膜により形成してもよい。

【0034】次に、上記保護層20は、図1に示すように、上記抵抗層12の上面を被覆するように配設されている。すなわち、この保護層20の配設位置をさらに詳しく説明すると、図2に示すように、Y方向には、該絶縁基板10の幅と同様に形成され、さらに、X方向には、両端に形成されている上記一对の第2上面電極層16の一部を被覆するように配設されている。この保護層20は、ほう珪酸鉛ガラス又は樹脂（エポキシ、フェノール、シリコン等）により形成されている。

【0035】次に、メッキ層21は、ニッケルメッキ層22と、はんだメッキ層24とを有している。ここで、ニッケルメッキ層22は、電気メッキにより上記保護層20の端部に接触し、かつ、上記第2上面電極層16と、側面電極層18とを被覆するように略均一の膜厚で配設されている。このニッケルメッキ層22は、ニッケルメッキにて形成されており、上記第2上面電極層16及び側面電極層18等の内部電極のはんだ喰われを防止するために形成されている。なお、このニッケルメッキ層22は、ニッケルメッキ以外にも銅メッキが用いられる場合もある。

【0036】上記はんだメッキ層24は、電気メッキ法を用いて上記メッキ層22の上面を被覆するように略均一の膜厚で配設されている。このはんだメッキ層24は、はんだにて形成されており、上記チップ固定抵抗器A1の配線基板へのはんだ付けを良好に行うために形成されている。なお、このはんだメッキ層24は、はんだ以外に錫が用いられる場合もある。

【0037】なお、チップ固定抵抗器A1の製造に際しては、第1上面電極層14を形成した後に第2上面電極層16を形成するが、この第2上面電極層16の形成は、保護層20の形成前に行なう。また、側面電極層18は、保護層20の形成後に形成される。この場合、側面電極層18は、蒸着及びスパッタリング等の薄膜法を用いて形成される。

【0038】ここで、第1実施例のチップ固定抵抗器A1の使用状態について説明する。チップ固定抵抗器A1は、はんだを用いて配線基板に固定させる。この時、チップ固定抵抗器A1のはんだメッキ層24は、固定用のはんだと融着してフィレット（図示省略）を形成する。

すると、保護層20は、稀にはんだ付けの際の熱により収縮膨張して変形することがある。ここで、保護層20がはんだ付けの際の熱により変形してしまった場合には、保護層20とニッケルメッキ層22との間に隙間が形成される。すると、この隙間にはんだが浸入する可能性がある。はんだは、前記の隙間に浸入すると、第2上面電極層16の上面まで流下する。ここで、はんだと第2上面電極層16とは、親和性を有していないので、第2上面電極層16は、はんだ濡れを起こさない。すなわち、第2上面電極層16上に達したはんだは、それ以上第2上面電極層16上に拡がることなくその場に滞留し、やがて固化する。

【0039】第1実施例のチップ固定抵抗器A1によれば、保護層20とメッキ層22との境界位置の下側に、ガラス成分を有する低温焼成の銀系厚膜にて形成された第2上面電極層16が配設されているので、はんだ付け時に保護層20とメッキ層22との境界位置に隙間が形成されて、該隙間からはんだが浸入した場合であっても、第1上面電極層14が直接はんだに濡れることを防止することができる。また、該第1上面電極層14のはんだ濡れが加速することによる保護層20の剥離やニッケルメッキ層22の剥離を防止することができる。

【0040】また、抵抗体層12が第1上面電極層14より下層に配設されているので、つまり、第1上面電極層14と抵抗体層12の接続位置において、第1上面電極層14が抵抗体層12の上面に積層していることにより、第2上面電極層16を抵抗体層12と接触させることなく配設することができる。つまり、第1上面電極層14を抵抗体層12の上に重ねることにより、保護層120の端面（つまり、第2上面電極層16が形成される位置）から抵抗体層12の露出位置（第1上面電極層14の抵抗体層12側の端面）までの距離 α （図1参照）を長くすることができ、第2上面電極層16を形成した際に、該第2上面電極層16が抵抗体層12に接触しないようにすることができる。つまり、第2上面電極層16は銀系厚膜であることから、抵抗体層12と接触すると、銀の拡散が起こり抵抗体層12が劣化するという問題があるので、第2上面電極層16はなるべく抵抗体層12と接触しないようにするのが好ましいのである。

【0041】また、第1上面電極層14と抵抗体層12の接続位置において、第1上面電極層14が抵抗体層12の上面に積層していることにより、次のような効果を得ることができる。つまり、上面電極層は、トリミング時に抵抗値測定のためのプローブを上面電極層に接触させる必要があることから、ある程度以上の面積が必要となる。つまり、ある程度以上の電極層有効長が必要となる。また、抵抗体層と上面電極層との電氣的接続を確保するために、ある程度以上のオーバーラップ長が必要である。すると、抵抗器の電氣的性能を決定する抵抗層有効長は、抵抗体層12を第1上面電極層14の上面に積

層させた場合には、図3(a)のようになる。一方、第1上面電極層14と抵抗体層12の接続位置において、第1上面電極層14が抵抗体層12の上面に積層している場合には、図3(b)に示すように、オーバーラップ長を電極層有効長に含めることができるので、抵抗層有効長を長く取ることが可能となる。

【0042】また、上記第2上面電極層16は、低温焼成の銀系厚膜であることから、10～20%（重量比）のガラス成分を有しており、また、パラジウムをほとんど含有していないことから、はんだに濡れ難い特性を有している。よって、第2上面電極層16のはんだ濡れが加速することにより、保護層20等の剥離が発生することがない。

【0043】また、上記第1上面電極層14は、パラジウムを10～30%含有する銀パラジウム系厚膜により形成されているので、抵抗体層20への銀の拡散を抑えることができ、銀が拡散することによる、抵抗値変化や、温度による抵抗値変化の拡大や、過負荷特性等の電氣的特性の劣化を抑えることができる。

【0044】また、上面電極層を第1上面電極層14と第2上面電極層16の2層とすることにより、上面電極層全体の膜厚を厚くすることができ、保護層20を印刷して形成する際に、上面電極層上に保護層用のペーストがだれ広がるのを防止することができる。

【0045】また、第2上面電極層16が第1上面電極層14の形成後であって保護層20の形成前に焼成され、さらに、側面電極層18が蒸着及びスパッタリング等の薄膜法を用いて形成されているので、保護層20をエポキシ樹脂等の樹脂系厚膜にて形成することができる。すなわち、保護層20を樹脂にて形成することで焼成する必要がなくなるので、側面電極層18及び保護層20の焼成による抵抗値変化を低減することができ、その結果、抵抗値許容差の少ないチップ固定抵抗器を歩留まりよく製造することができる。さらに、保護層20に鉛を含有したガラス製部材を使用しないので、環境に配慮することができる。さらには、側面電極層18及び保護層20の形成において焼成工程を省くことができるので、製造コストを低減することができる。

【0046】また、上記第2上面電極層16は、低温焼成の銀系厚膜により形成されていて、また、側面電極層18は、薄膜により形成されているので、第2上面電極層16と側面電極層18との密着性を高めることが可能となる。つまり、薄膜の側面電極層は、高温（800～900℃）焼成の銀系又は銀パラジウム系厚膜よりも、低温（500～700℃）焼成の銀系又は銀パラジウム系厚膜との密着性がよいことから、第2上面電極層16と側面電極層18との密着性を高くできる。つまり、高温焼成の銀系又は銀パラジウム系厚膜は、焼成表面で緻密で表面積が少ないが、低温焼成の銀系又は銀パラジウム系厚膜は、表面がポーラスなため表面積が大きく、薄

膜との接触面積が大きいとともに、薄膜の内部応力が種々の方向の働くことから密着性がよくなるのである。

【0047】次に、上記第1実施例のチップ固定抵抗器の応用例について説明する。図4(a)に示すチップ固定抵抗器A2は、上記チップ固定抵抗器A1と同様の構成であるが、第2上面電極層16の配設領域が異なる。つまり、チップ固定抵抗器A2においては、保護層20とメッキ層22との境界位置の下側にのみ第2上面電極層16が設けられていて、第2上面電極層16は、側面電極層18とは接触しておらず、また、第2上面電極層16は、第1上面電極層14が抵抗体層12に乗り上がる位置にまでは至っていない。これにより、側面電極層18は、第1上面電極層14の上面に積層している。

【0048】また、図4(b)に示すチップ固定抵抗器A3は、上記チップ固定抵抗器A2と同様の構成であるが、第2上面電極層16の外側の端部が側面電極層18と接している点が異なる。

【0049】また、図4(c)に示すチップ固定抵抗器A4は、上記チップ固定抵抗器A1と同様の構成であるが、第2上面電極層16の内側の端部、つまり、抵抗体層12側の端部は、第1上面電極層14が抵抗体層12に乗り上がる位置にまでは至っていない。

【0050】このように、上記チップ固定抵抗器A2～A4においても、上記チップ固定抵抗器A1と同様の効果を得ることができる。特に、保護層20とメッキ層22との境界位置の下側に、第2上面電極層16が配設されているので、はんだ付け時に保護層20とメッキ層22との境界位置に隙間が形成されて、該隙間からはんだが浸入した場合であっても、第1上面電極層14が直接はんだに濡れることを防止することができる。また、チップ固定抵抗器A2、A3においては、側面電極層18が第2上面電極層16に積層していないので、チップ固定抵抗器におけるX方向の端部の高さを低くすることができる。

【0051】次に第2実施例のチップ固定抵抗器について図面を利用して説明する。この第2実施例のチップ固定抵抗器は、上記第1実施例のチップ固定抵抗器においては、第1上面電極層14と抵抗体層12の接続位置において、第1上面電極層14が抵抗体層12の上面に積層しているのに対して、第1上面電極層14が抵抗体層12の下面に積層している点が異なる。

【0052】まず、チップ固定抵抗器B1について説明すると、チップ固定抵抗器(チップ抵抗器)B1は、図5に示すように、絶縁基板10と、抵抗体層12と、第1上面電極層14と、第2上面電極層16と、側面電極層18と、保護層20と、メッキ層21と、を有している。メッキ層21は、ニッケルメッキ層22と、はんだメッキ層24とからなる。

【0053】ここで、上記チップ固定抵抗器B1についてさらに詳しく説明すると、上記絶縁基板10は、含有

率96%程度のアルミナにて形成された絶縁体である。この絶縁基板10は、直方体形状を呈しており、平面視すると、略長方形形状を呈している。この絶縁基板10は、上記チップ固定抵抗器B1の基礎部材として用いられている。

【0054】上記抵抗体層12は、図5に示すように、上記絶縁基板10上面の中央部付近に配設されている。この抵抗体層12は、酸化ルテニウム系厚膜である。この抵抗体層12は、上記チップ固定抵抗器B1として電気的特性を担う機能素子である。

【0055】上記第1上面電極層14は、図5に示すように、上記抵抗体層12の長手方向の両端と接続するように一対形成されている。すなわち、該第1上面電極層14と抵抗体層12とは、該第1上面電極層14の一部が該抵抗体層12の下面に積重するように配設されている。つまり、第1上面電極層14と抵抗体層12の接続位置において、抵抗体層12が第1上面電極層14の上面に積層している。この第1上面電極層14は、パラジウムを10～30%(重量比)含有し、焼成温度800～900℃の銀パラジウム系厚膜により形成されている。

【0056】また、上記第2上面電極層16は、図5に示すように、上記第1上面電極層14の上面であって、上記抵抗体層12とは接触しない位置に配設されている。つまり、この第2上面電極層16は、絶縁基板10の長手方向、つまり、X方向(図5参照)には、第1上面電極層14の側面電極層18側の端部から抵抗体層12側の端部の手前にまで設けられ、第2上面電極層16の抵抗体層12側の端部は、抵抗体層12には、接していない。また、絶縁基板10の短手方向、つまり、Y方向(図6参照)には、第1上面電極層14の全体を被覆して該第1上面電極層14からはみ出る状態で形成されている。なお、この第2上面電極層16は、メッキ層21と保護層12の境界位置の下側に第2上面電極層16が位置するように設けられている。つまり、少なくとも、メッキ層21と保護層12の境界位置の下側で、かつ、第1上面電極層14の上側位置には、該第2上面電極層16が形成されている。

【0057】また、この第2上面電極層16は、低温焼成、つまり、500～700℃焼成の銀系厚膜により形成されている。つまり、この第2上面電極層16は、低温焼成の銀系厚膜であることから、10～20%(重量比)のガラス成分を有しており、また、パラジウムをほとんど含有していないことから、はんだに濡れ難い特性を有している。また、銀系厚膜であることから、めっき付け性は良好であるといえる。

【0058】また、上記側面電極層18は、図5に示すように、上記絶縁基板10の長手方向(X方向)の両端に一対形成されており、上面及び側面及び底面を被覆するように略コ字状に形成されている。この側面電極層1

8は、蒸着及びスパッタリング等の薄膜法を用いて形成されている。つまり、この側面電極層18は、薄膜に形成されていて、ニクロム(NiCr)や銅ニッケル(CuNi)等の卑金属の合金により形成されている。なお、この側面電極層18は、銀系厚膜や銀系樹脂厚膜により形成してもよい。

【0059】次に、上記保護層20は、図5に示すように、上記抵抗体層12の上面を被覆するように配設されている。すなわち、この保護層20の配設位置をさらに詳しく説明すると、Y方向には、該絶縁基板10の幅と同様に形成され、さらに、X方向には、両端に形成されている上記一対の第2上面電極層16の一部を被覆するように配設されている。この保護層20は、ほう珪酸鉛ガラス又は樹脂(エポキシ、フェノール、シリコン等)により形成されている。

【0060】次に、メッキ層21は、ニッケルメッキ層22と、はんだメッキ層24とを有している。ここで、ニッケルメッキ層22は、電気メッキにより上記保護層20の端部に接触し、かつ、上記第2上面電極層16と、側面電極層18とを被覆するように略均一の膜厚で配設されている。このニッケルメッキ層22は、ニッケルメッキにて形成されており、上記第2上面電極層16及び側面電極層18等の内部電極のはんだ喰われを防止するために形成されている。なお、このニッケルメッキ層22は、ニッケルメッキ以外にも銅メッキが用いられる場合もある。

【0061】上記はんだメッキ層24は、電気メッキ法を用いて上記メッキ層22の上面を被覆するように略均一の膜厚で配設されている。このはんだメッキ層24は、はんだにて形成されており、上記チップ固定抵抗器A1の配線基板へのはんだ付けを良好に行うために形成されている。なお、このはんだメッキ層24は、はんだ以外に錫が用いられる場合もある。

【0062】なお、チップ固定抵抗器A1の製造に際しては、第1上面電極層14を形成した後に第2上面電極層16を形成するが、この第2上面電極層16の形成は、保護層20の形成前に行なう。また、側面電極層18は、保護層20の形成後に形成される。この場合、側面電極層18は、蒸着及びスパッタリング等の薄膜法を用いて形成される。

【0063】ここで、第2実施例のチップ固定抵抗器B1の使用状態について説明する。チップ固定抵抗器B1は、はんだを用いて配線基板に固定させる。この時、チップ固定抵抗器B1のはんだメッキ層24は、固定用のはんだと融着してフィレット(図示省略)を形成する。すると、保護層20は、稀にはんだ付けの際の熱により収縮膨張して変形することがある。ここで、保護層20がはんだ付けの際の熱により変形してしまった場合には、保護層20とニッケルメッキ層22との間に隙間が形成される。すると、この隙間にはんだが浸入する可能

性がある。はんだは、前記の隙間に浸入すると、第2上面電極層16の上面まで流下する。ここで、はんだと第2上面電極層16とは、親和性を有していないので、第2上面電極層16は、はんだ濡れを起こさない。すなわち、第2上面電極層16上に達したはんだは、それ以上第2上面電極層16上に拡がることなくその場に滞留し、やがて固化する。

【0064】第2実施例のチップ固定抵抗器B1によれば、保護層20とメッキ層22との境界位置の下側に、ガラス成分を有する低温焼成の銀系厚膜にて形成された第2上面電極層16が配設されているので、はんだ付け時に保護層20とメッキ層22との境界位置に隙間が形成されて、該隙間からはんだが浸入した場合であっても、第1上面電極層14が直接はんだに濡れることを防止することができる。また、該第1上面電極層14のはんだ濡れが加速することによる保護層120の剥離やニッケルメッキ層122の剥離を防止することができる。

【0065】また、上記第2上面電極層16は、低温焼成の銀系厚膜であることから、10～20%(重量比)のガラス成分を有しており、また、パラジウムをほとんど含有していないことから、はんだに濡れ難い特性を有している。よって、第2上面電極層16のはんだ濡れが加速することにより、保護層20等の剥離が発生することがない。

【0066】また、上記第1上面電極層14は、パラジウムを10～30%含有する銀パラジウム系厚膜により形成されているので、抵抗体層20への銀の拡散を抑えることができ、銀が拡散することによる、抵抗値変化や、温度による抵抗値変化の拡大や、過負荷特性等の電気的特性の劣化を抑えることができる。

【0067】また、上面電極層を第1上面電極層14と第2上面電極層16の2層とすることにより、上面電極層全体の膜厚を厚くすることができ、保護層20を印刷して形成する際に、上面電極層上に保護層用のペーストがだれ広がるのを防止することができる。

【0068】また、第2上面電極層16が第1上面電極層14の形成後であって保護層20の形成前に焼成され、さらに、側面電極層18が蒸着及びスパッタリング等の薄膜法を用いて形成されているので、保護層20をエポキシ樹脂等の樹脂系厚膜にて形成することができる。すなわち、保護層20を樹脂にて形成することで焼成する必要がなくなるので、側面電極層18及び保護層20の焼成による抵抗値変化を低減することができ、その結果、抵抗値許容差の少ないチップ固定抵抗器を歩留まりよく製造することができる。さらに、保護層20に鉛を含有したガラス製部材を使用しないので、環境に配慮することができる。さらには、側面電極層18及び保護層20の形成において焼成工程を省くことができるので、製造コストを低減することができる。

【0069】また、上記第2上面電極層16は、低温焼

成の銀系厚膜により形成されていて、また、側面電極層18は、薄膜により形成されているので、第2上面電極層16と側面電極層18との密着性を高めることが可能となる。つまり、薄膜の側面電極層は、高温(800~900℃)焼成の銀系又は銀パラジウム系厚膜よりも、低温(500~700℃)焼成の銀系又は銀パラジウム系厚膜との密着性がよいことから、第2上面電極層16と側面電極層18との密着性を高くできる。つまり、高温焼成の銀系又は銀パラジウム系厚膜は、焼成表面で緻密で表面積が少ないが、低温焼成の銀系又は銀パラジウム系厚膜は、表面がポーラスなため表面積が大きく、薄膜との接触面積が大きいとともに、薄膜の内部応力が種々の方向の働くことから密着性がよくなるのである。

【0070】次に、上記第1実施例のチップ固定抵抗器の応用例について説明する。図7(a)に示すチップ固定抵抗器B2は、上記チップ固定抵抗器B1と同様の構成であるが、第2上面電極層16の配設領域が異なる。つまり、チップ固定抵抗器B2においては、保護層20とメッキ層22との境界位置の下側にのみ第2上面電極層16が設けられていて、第2上面電極層16は、側面電極層18とは接触していない。これにより、側面電極層18は、第1上面電極層14の上面に積層している。

【0071】また、図7(b)に示すチップ固定抵抗器B3は、上記チップ固定抵抗器B2と同様の構成であるが、第2上面電極層16の外側の端部が側面電極層18と接しているとともに、第2上面電極層16の内側の端部が抵抗体層12に接触している点が異なる。

【0072】また、図7(c)に示すチップ固定抵抗器B4は、上記チップ固定抵抗器B1と同様の構成であるが、第2上面電極層16の内側の端部、つまり、抵抗体層12側の端部は、第1上面電極層14が抵抗体層12に乗り上がる位置にまでは至っていない。

【0073】このように、上記チップ固定抵抗器B2~B4においても、上記チップ固定抵抗器B1と同様の効果を得ることができる。特に、保護層20とメッキ層22との境界位置の下側に、第2上面電極層16が配設されているので、はんだ付け時に保護層20とメッキ層22との境界位置に隙間が形成されて、該隙間からはんだが浸入した場合であっても、第1上面電極層14が直接はんだに濡れることを防止することができる。また、チップ固定抵抗器B2、B3においては、側面電極層18が第2上面電極層16に積層していないので、チップ固定抵抗器におけるX方向の端部の高さを低くすることができる。

【0074】なお、上記の説明においては、側面電極層18が設けられているものとして説明したが、側面電極層18の構成を省略した構成のチップ抵抗器も考えられる。その場合には、メッキ層21は、チップ抵抗器の側面には設けられず、第2上面電極層16の上面の少なくとも一部の上側に積層して、保護層20と接する状態に

形成される。つまり、メッキ層21は、第1上面電極層14の少なくとも一部の上方に位置に設けられることになる。いわば、チップ抵抗器A1~A4、B1~B4において、メッキ層21における絶縁基板10の上方に存在する部分のみが形成されるといえる。この場合も当然、第2上面電極層16は、保護層20とメッキ層21の境界位置の下側に設けられることになる。

【0075】

【発明の効果】本発明に基づくチップ抵抗器によれば、上記第2上面電極層が設けられているので、はんだ付け時に保護層とメッキ層との境界位置に隙間が形成されて、該隙間からはんだが浸入した場合であっても、第1上面電極層が直接はんだに濡れることを防止することができる。さらに、該第1上面電極層のはんだ濡れが加速することによる保護層の剥離やメッキ層の剥離を防止することができる。

【0076】また、特に、上記第1上面電極層と抵抗層の接続位置においては、第1上面電極層が抵抗層の上面に積層している場合には、第1上面電極層を抵抗層の上に重ねることにより、保護層の端面(つまり、第2上面電極層が形成される位置)から抵抗層の露出位置(第1上面電極層の抵抗層側の端面)までの距離を長くすることができ、第2上面電極層を形成した際に、該第2上面電極層が抵抗層に接触しないようにすることができる。また、必要な上面電極層の有効長と、上面電極層と抵抗層とのオーバーラップ長とを確保しつつ、抵抗層有効長を長く取ることができる。

【0077】また、特に、上記第2上面電極層が、チップ抵抗器の平面視において、抵抗層と第1上面電極層とが重なる領域以外の領域に設けられている場合には、第2上面電極層が抵抗層に接触しないようにすることができる。

【0078】また、特に、上記第2上面電極層が、上記第1上面電極層における所定の領域である被覆領域であって、チップ抵抗器の平面視において、該抵抗層と重なる領域以外の領域である被覆領域を全て被覆している場合には、第2上面電極層が抵抗層に接触しないようにするとともに、第1上面電極層のはんだ濡れを十分防止することができる。

【0079】また、特に、上記第2上面電極層が、上記第1上面電極層における該メッキ層と保護層の境界位置の下側の位置を含む領域を全て被覆している場合には、第1上面電極層のはんだ濡れを十分防止することができる。

【0080】また、特に、上記第1上面電極層が、銀パラジウム系厚膜である場合や、上記銀パラジウム系厚膜が、パラジウムを重量比で10~30%含有する銀パラジウム系厚膜である場合には、抵抗層への銀の拡散を抑えることができ、銀が拡散することによる、抵抗値変化や、温度による抵抗値変化の拡大や、過負荷特性等の電

気的特性の劣化を抑えることができる。

【0081】また、特に、上記第2上面電極層が、はんだに濡れ難く、めっき付け性のよい素材により形成されている場合には、第2上面電極層がはんだに濡れ難い素材により形成されているので、はんだ付け時に保護層とメッキ層との境界位置に隙間が形成されて、該隙間からはんだが浸入した場合であっても、第1上面電極層が直接はんだに濡れることを防止することができる。さらに、該第1上面電極層のはんだ濡れが加速することによる保護層の剥離やメッキ層の剥離を防止することができる。また、第2上面電極層はめっき付け性のよい素材により形成されているので、メッキ層との密着性を高くすることが可能となる。

【0082】また、特に、上記第2上面電極層が、銀系厚膜である場合には、めっき付け性を高くすることができ、また、銀パラジウム系の厚膜ではないため、はんだに濡れ難く、保護層等の剥離を防止することができる。

【0083】また、特に、上記第2上面電極層におけるパラジウム含有量が重量比で1%以下である場合には、第2上面電極層は、パラジウム含有量が少ないため、はんだに濡れ難く、保護層等の剥離を防止することができる。

【0084】また、特に、上記第2上面電極層が、焼成温度が500℃～700℃の素材により形成されている場合には、第2上面電極層は、低温焼成であることから、ガラス成分を含むことになり、はんだに濡れ難く、保護層等の剥離を防止することができる。

【0085】また、特に、上記側面電極層が、焼成工程を行なうことなく形成されたものである場合には、チップ抵抗器の製造に当たって、保護層形成後に側面電極層を形成する場合でも、側面電極層を焼成しないので、保護層に樹脂を用いることができる。また、第2上面電極層形成後に抵抗層の抵抗値を調整する場合に、その後に、保護層や側面電極層を焼成しないので、抵抗値の変

化を防止することができる。

【0086】また、特に、上記側面電極層が、薄膜である場合には、低温焼成の銀系厚膜により形成された第2上面電極層と、該側面電極層との密着性をよくすることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例に基づくチップ固定抵抗器を示す断面図である。

【図2】本発明の第1実施例に基づくチップ固定抵抗器における要部の配置を概念的に示す平面図である。

【図3】本発明の第1実施例に基づくチップ固定抵抗器の効果を説明するための説明図である。

【図4】第1実施例の応用例を示す断面図である。

【図5】本発明の第2実施例に基づくチップ固定抵抗器を示す断面図である。

【図6】本発明の第2実施例に基づくチップ固定抵抗器における要部の配置を概念的に示す平面図である。

【図7】第2実施例の応用例を示す断面図である。

【図8】従来のチップ固定抵抗器を示す断面図である。

【図9】従来のチップ固定抵抗器の問題点を説明するための断面図である。

【符号の説明】

A1、A2、A3、A4、B1、B2、B3、B4 チップ固定抵抗器

10 絶縁基板

12 抵抗体層

14 第1上面電極層

16 第2上面電極層

18 側面電極層

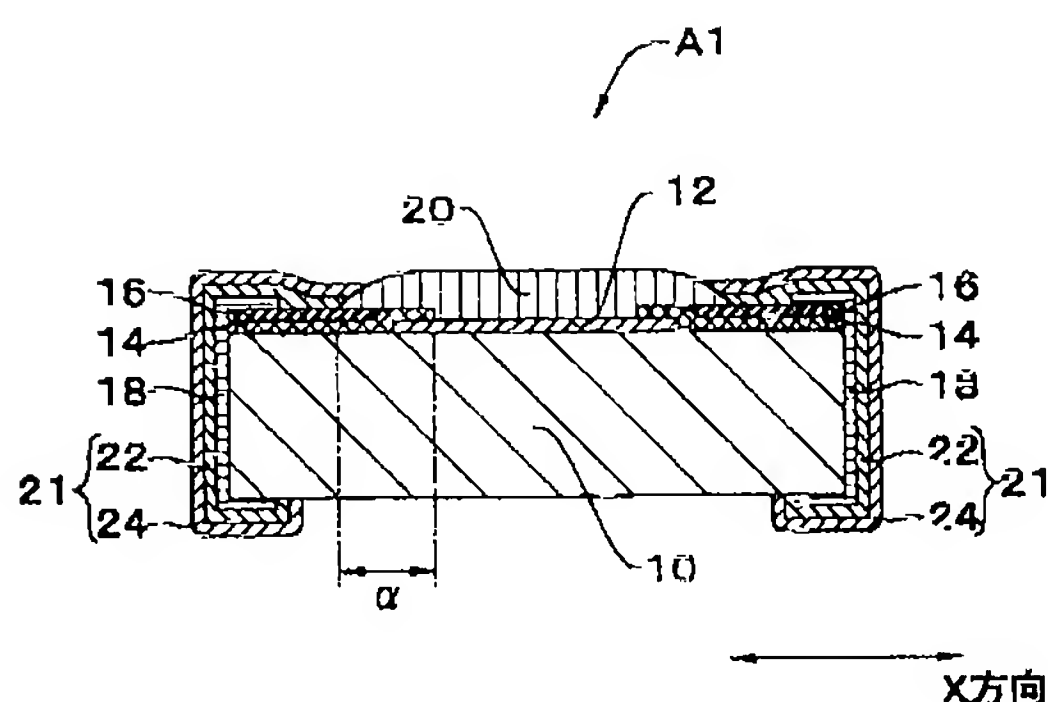
20 保護層

21 メッキ層

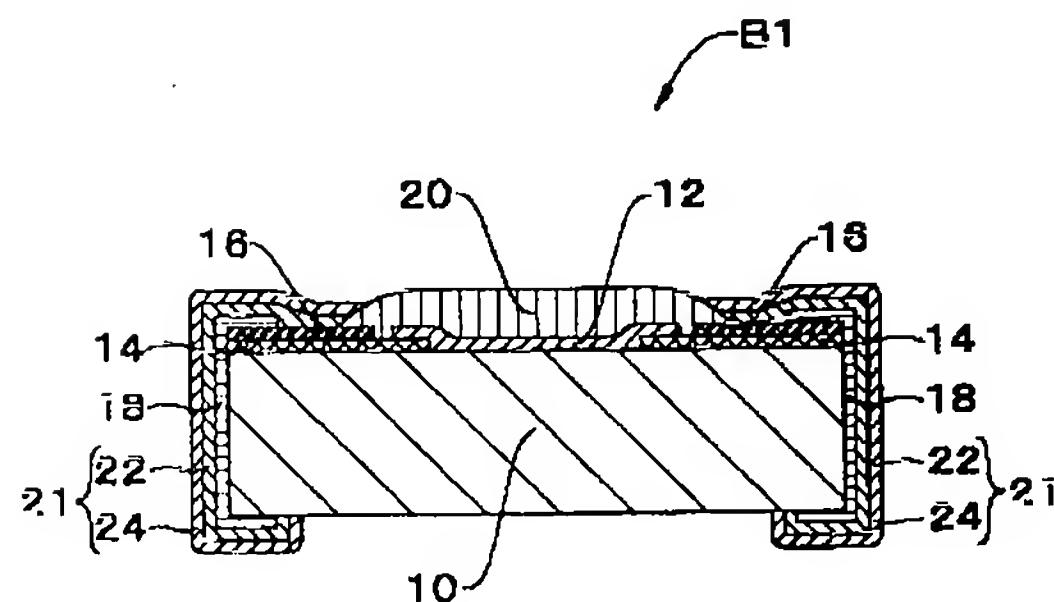
22 ニッケルメッキ層

24 はんだメッキ層

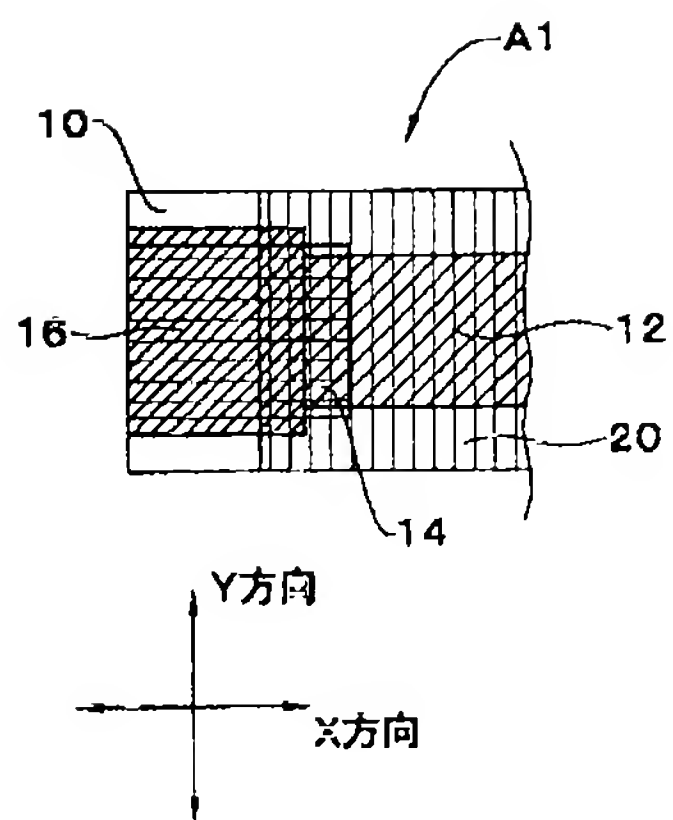
【図1】



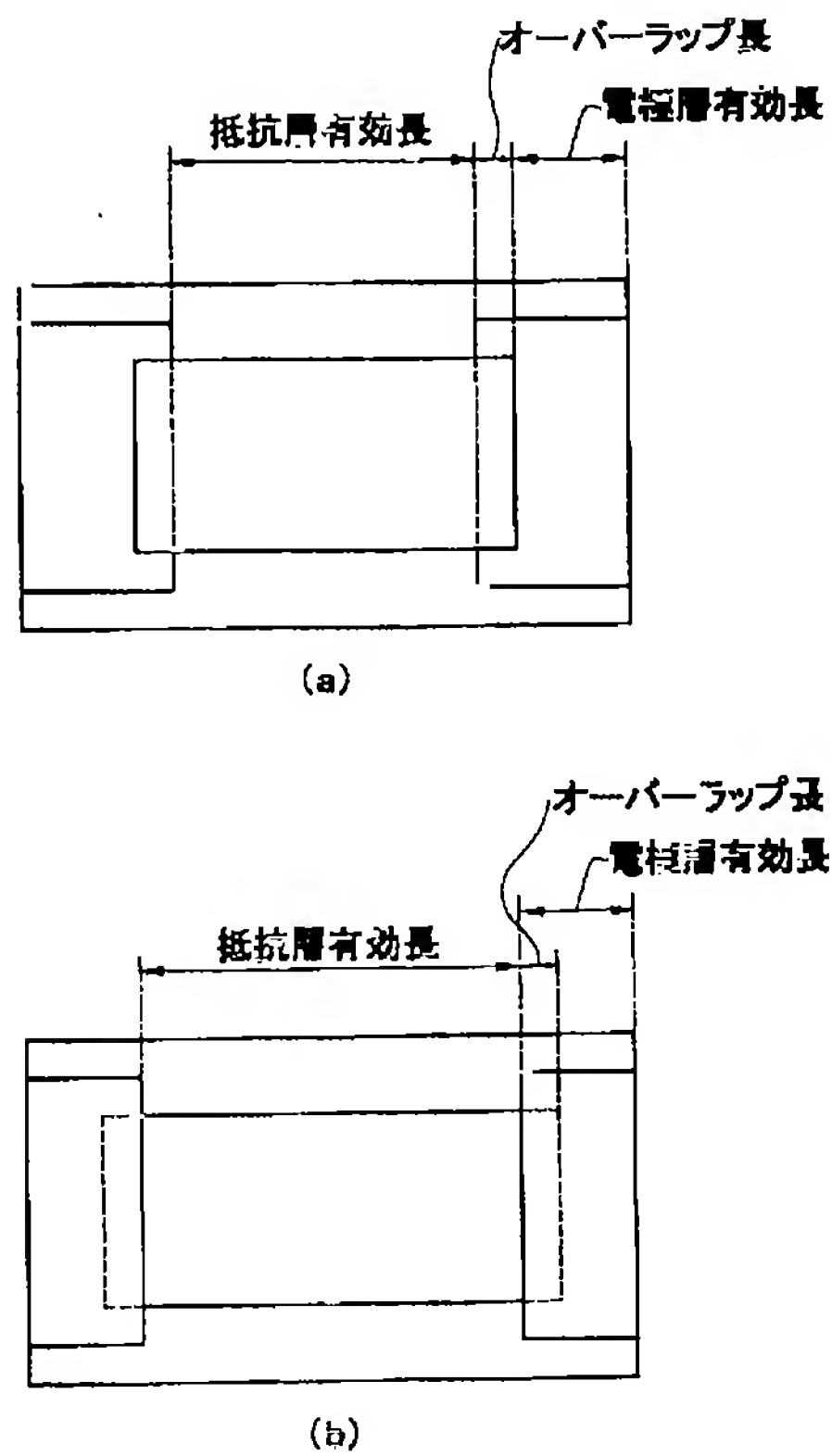
【図5】



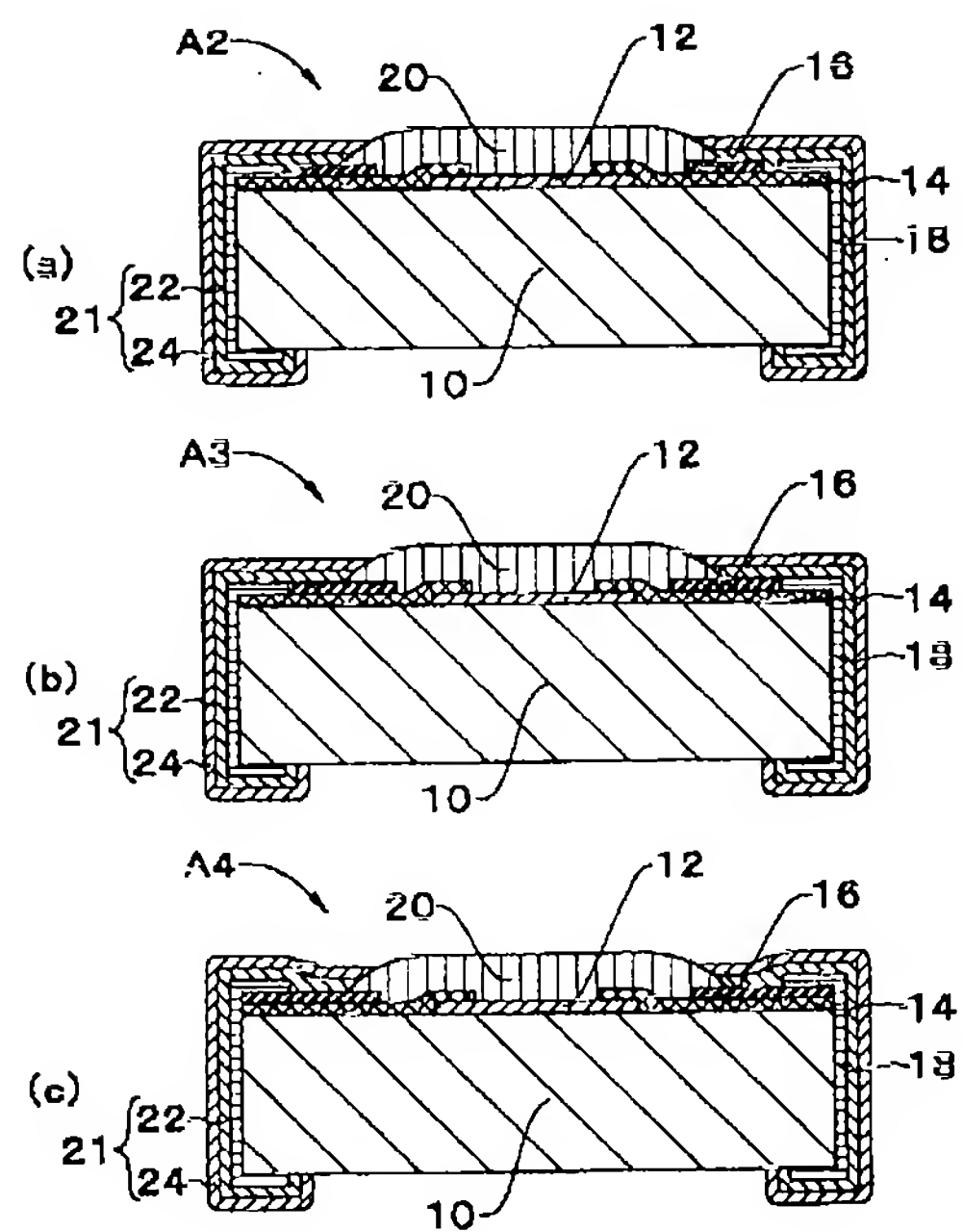
【図2】



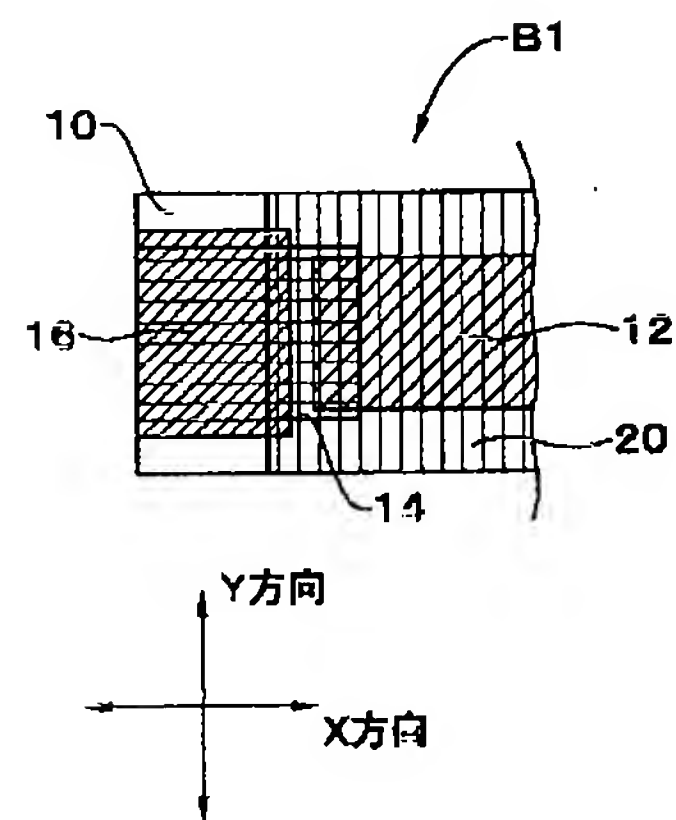
【図3】



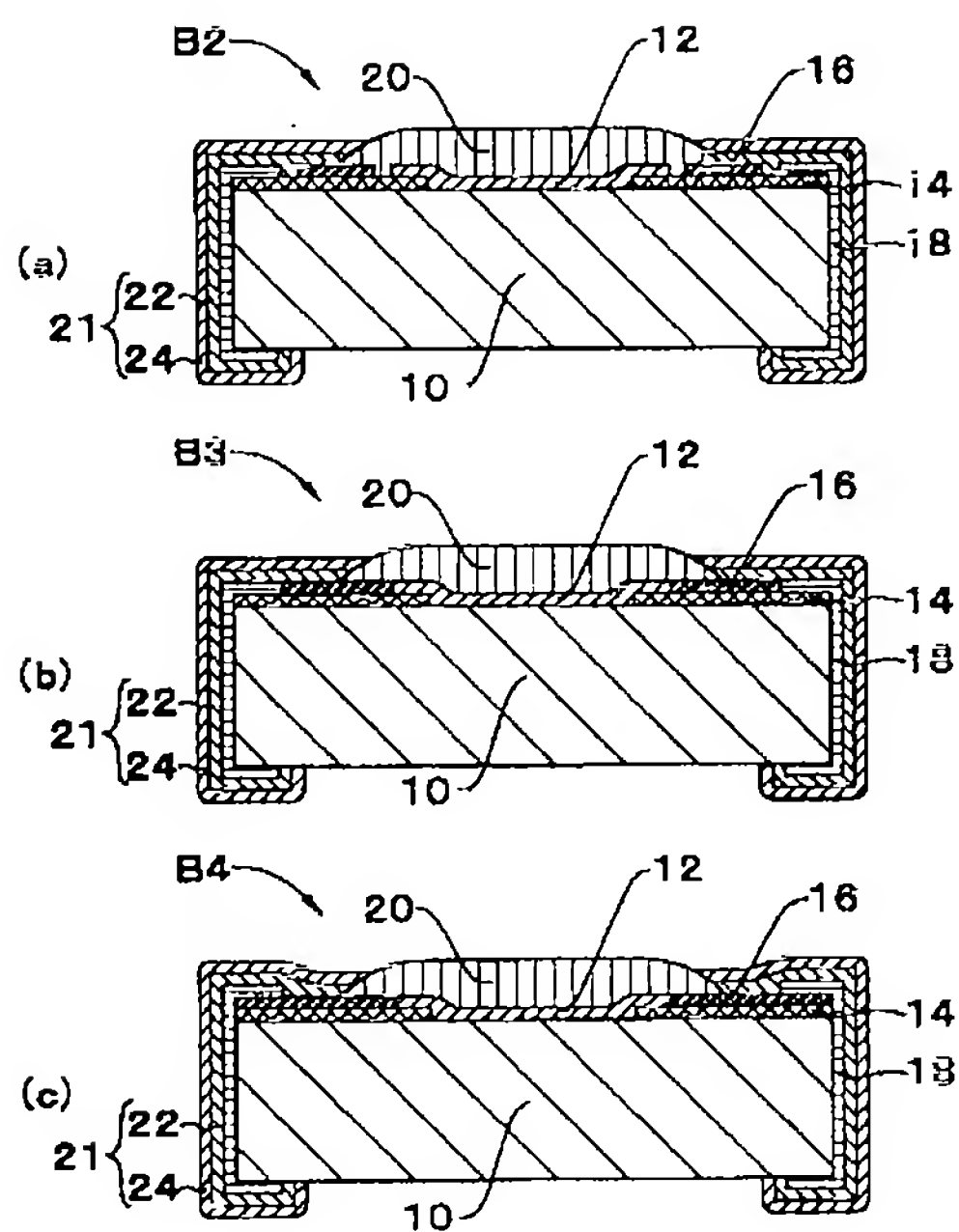
【図4】



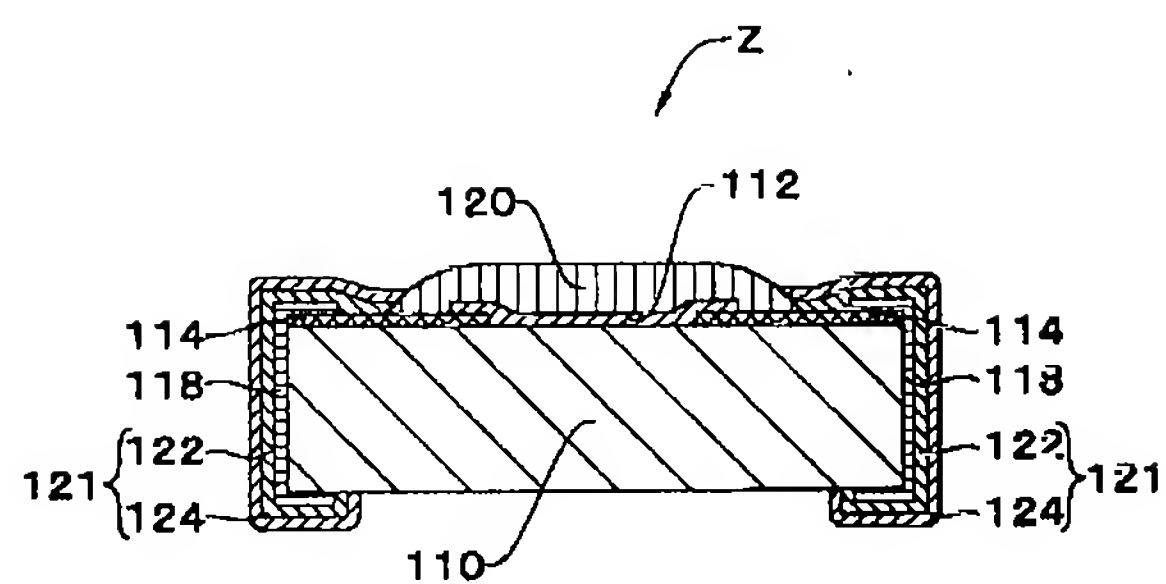
【図6】



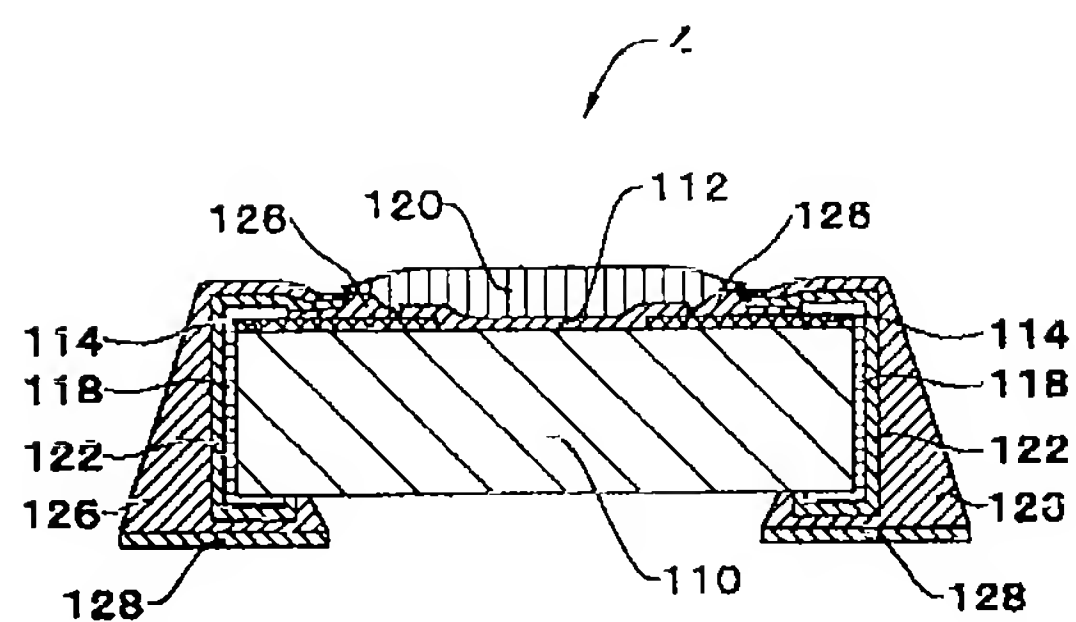
【図7】



【図8】



【図9】



Montague, Mark

Subject: (DOH) RIO/RIP (26922-002-PCT) - scan in PCT communication for MM to report by e-mail
Start Date: Friday, August 11, 2006
Due Date: Friday, August 11, 2006

Status: Not Started
Percent Complete: 0%

Total Work: 0 hours
Actual Work: 0 hours

Owner: Montague, Mark